

FT 3120® およびFT 3150® スマートトランシーバ



FT 3120 スマートトランシーバ (44 ピンTQFP パッケージ) (1)

説明

FT 3120 およびFT 3150 スマートトランシーバは、Neuron® 3120 またはNeuron 3150 ネットワークプロセッサコアとフリートポロジーツイストペアトランシーバをワンチップに集積した、低コストのスマートトランシーバです。エシロン社の高性能FT-X1 通信トランスとFT 3120 またはFT 3150 トランシーバを組み合わせることにより、性能および堅牢性を向上させ、低コストの通信システムを実現することができます。FT 3120 およびFT 3150 スマートトランシーバは、ビル、産業、運輸、家庭、およびユーティリティ（電力・ガス・水道）の自動化用途のLonWorks® デバイスとして最適で、新製品の設計や従来のノードのコスト削減手段として適しています。

内蔵トランシーバは、TP/FT-10 チャネルと完全な互換性があり、エシロン社のFTT-10A フリートポロジートランシーバを用いたデバイスと通信することができます。適切なDC絶縁コンデンサを使用することにより、LPT-10 リンクパワートランシーバとも通信可能です。フリートポロジートランシーバは、スター、バス、デイズチェーン、ループまたは混合トポロジーを用いた無極性配線が可能であるため（図1を参照）、配線敷設工事において厳しい配線規則に従う必要がなくなります。フリートポロジータンシーバが可能になることで、最も迅速かつ費用対効果の高い方法で配線を敷設することができます。また、配線、接続、ノードの配置に関する制限がなくなるため、ネットワークの拡張も容易になります。

FT 3120 スマートトランシーバは、完全なシステムオンチップ製品で、最大4キロバイトまでのアプリケーションコードを必要とする小型で低コストのデバイス設計に適しています。Neuron 3120 コアは、40MHz²⁾の高速で動作し、4キロバイトのEEPROMと2キロバイトのRAMを搭載しています。Neuron ファームウェアは、オンチップROM内にあらかじめプログラムされています。アプリケーションコードは、内蔵EEPROMメモリに保存され、ネットワークを通じて更新可能です。FT 3120 スマートトランシーバは、44ピンのTQFPパッケージ、または32ピンのSOICパッケージで提供されています。

注記：

- エシロン社が提供するその他のパッケージについては、本データシートの最終ページにある「オーダー情報」を参照してください。
- FT 3120 スマートトランシーバは、外部クロック発振器を用いて最大40MHzで動作するように設計されています。外部発振器が安定するまでに通電後数ミリ秒かかります。40MHz動作のFT 3120 スマートトランシーバはCLK1入力が安定するまでリセット状態に保ちます。このため、発振器によっては、パワーオンリセット/リブリスを引けば低電圧検出チップ回路を使用する必要が生じる場合があります。スタートアップ安定化時間の詳細については、発振器の仕様書を参照してください。
- 40～85℃の動作温度範囲で10年間のデータ保持を保証するには、EEPROMプログラミングを-25～85℃で行う必要があります。
- 最高接合部温度が105℃を超えないようにしてください。T_{junction}は次式で計算できます。T_{junction} = T_{Ambient} + V-I-θ_{JA} (32ピンSOICのθ_{JA} = 51°C/W、44ピンTQFPのθ_{JA} = 43°C/W、64ピンTQFPのθ_{JA} = 44°C/Wです。)

- ▼ ANSI/EIA 709.3-1999 適合のフリートポロジーツイストペアトランシーバとNeuron 3120 またはNeuron 3150 ネットワークプロセッサコアの組み合わせ。
- ▼ 無極性のフリートポロジースター、デイズチェーン、バス、ループまたは混合トポロジーの配線をサポート。
- ▼ 両終端のバストポロジーで2700m、フリートポロジータンシーバで500mの距離でビットレート78キロビット/秒を実現。
- ▼ 高性能Neuron ネットワークプロセッサコアにより、アプリケーションコードとネットワークパケットの同時処理が可能 (FT 3120 スマートトランシーバは40MHz、FT 3150 スマートトランシーバは20MHz)。
- ▼ FT 3120 スマートトランシーバの内蔵EEPROMの4キロバイトは構成データとアプリケーションコード用、FT 3150 スマートトランシーバの内蔵EEPROMの0.5キロバイトは構成データ用。
- ▼ 大容量メモリを要するデバイスに対応した外部メモリインターフェース (FT 3150 スマートトランシーバのみ)。
- ▼ 内蔵RAMの2キロバイトはネットワークデータとネットワーク変数のバッファ用。
- ▼ 11本のI/Oピンおよび34種類のプログラマブル標準I/Oモードにより外部インターフェース回路を最小化。
- ▼ ネットワークのインストールおよび管理用として、独自の48ビットNeuron IDを各デバイスに装備。
- ▼ 特許申請中のアーキテクチャを持つコンパクトなFT-X1通信トランスにより、磁性干渉と高周波コモンモードノイズに対する優れた耐性を提供。
- ▼ FTT-10 及びFTT-10A トランシーバを用いたTP/FT-10チャネルと互換。適切なDCブロッキングコンデンサを使用することにより、LPT-10 リンクパワートランシーバとも互換。
- ▼ 5V動作という低消費電力を実現。
- ▼ 動作温度範囲-40～+85℃^{3,4)}。

FT 3150 スマートトランシーバは、20MHzのNeuron 3150 コア、0.5キロバイトのEEPROMおよび2キロバイトのRAMを備えています。FT 3150 トランシーバは、外部メモリバスを通じて最大58キロバイトの外部メモリのアドレス指定が可能で、そのうち16キロバイトの不揮発性メモリはNeuron ファームウェア専用です。FT 3150 スマートトランシーバは、64ピンのTQFPパッケージで提供されています。

内蔵EEPROMは、最大1万回までデータロスなしに書き込み可能です。このEEPROMに保存されたデータは少なくとも10年間保たれます³⁾。

広範囲のアプリケーションとパッケージ条件に対応するため、FT 3120 およびFT 3150 スマートトランシーバには3つの異なるバージョンが用意されています。各パッケージの詳細については、本データシートの最終ページにある「オーダー情報」を参照してください。

FT 3120 および FT 3150 スマートトランシーバが対応する標準的なフリートポロジー

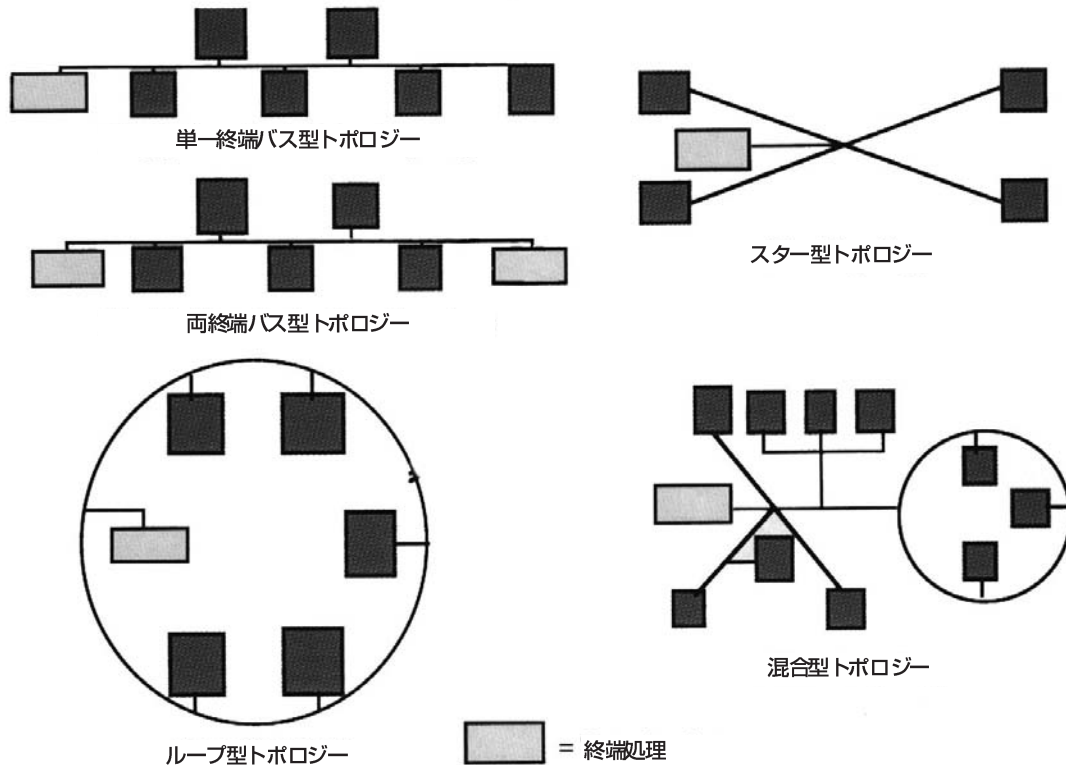


図1

フレキシブルなI/O、簡単な構成

FT 3120 および FT 3150 スマートトランシーバは、最大34種類のあらかじめ定義された標準入出力モードでの動作設定が可能な11本のI/Oピンを備えています。広範囲のI/Oモデルと2つの内蔵タイマ/カウンタを組み合わせるにより、外部ロジック回路やソフトウェアの開発作業を最小限に抑えながら、FT 3120 および FT 3150 スマートトランシーバを、デバイスが制御する入出力回路に接続することができます。

任意のホストMCUに簡単に接続

FT 3120 および FT 3150 スマートトランシーバは、エシエロン社のShortStack™ またはMIPファームウェアを介して他のホストCPUに簡単に接続することができます。スマートトランシーバをShortStack またはMIPファームウェアと共に使用した場合、任意のCPUを備えたデバイスを、インターネットアクセス可能なネットワーク化されたデバイスに、素早く低コストで作り変えることができます。ShortStackファームウェアは、シリアルインターフェース(SCIまたはSPI)を介して、ホストCPUとスマートトランシーバ間の通信を行います。MIPファームウェアは高性能なパラレルインターフェース、またはデュアルポートRAMインターフェースを使用します。

高度なネットワークノイズ保護

FT 3120 および FT 3150 スマートトランシーバは、FT 3120/FT 3150 ICチップと特許申請中の外部通信トランスという2つの製品で構成されます。この外部通信トランスとの組み合わせにより、

シールドされていないツイストペアネットワーク上に高周波コモンモードノイズが存在しても動作が可能になります。適正に設計されたノードであれば、ネットワーク絶縁チョークなしでも厳しいEN 61000-4-6のレベル3の必要条件を満たすことができます。

この通信トランスは磁性ノイズへの耐性が高く、このためほとんどのアプリケーションにおいて磁性シールドによる保護が不要となっています。通信トランスは、樹脂モールドされた6ピンスルーホールプラスチックパッケージで提供されています。

FT 3120/FT 3150 スマートトランシーバICチップとFT-X1通信トランスは、組み合わせて使用するよう設計されているため、必ず一緒に実装する必要があります。FT 3120またはFT 3150 スマートトランシーバICチップをFT-X1通信トランス以外のトランスと併用した場合、エシエロン社はFT 3120またはFT 3150 スマートトランシーバの性能を保証していません。このため、FT 3120またはFT 3150 スマートトランシーバの保証は無効になります。FT-X1通信トランスはFT 3120/FT 3150 ICとは別に注文する必要があります。提供されている製品およびその詳細については、本データシートの最終ページにある「オーダー情報」を参照してください。

FT 3120 または FT 3150 ベースの一般的なデバイスでは、電源、クロック発生回路および制御するデバイスのI/Oインターフェースが必要となります（一般的なFT 3120/FT 3150 ベースのデバイスについては図3を参照）。

ソフトウェアとハードウェア投資をアップグレード時に保全

FT 3120 スマートトランシーバはモトローラおよび東芝の Neuron 3120 チップとピン互換であり、FT 3150 スマートトランシーバはモトローラおよび東芝の Neuron 3150 チップとピン互換です。6 ピンスルーホール FT-X1 通信トランスは、エシェロン社の 9 ピン FTT-10A トランシーバとピン互換になっており、プリント基板に挿入する時に間違っ逆向きにならないようにキー付けされています。ほとんどの場合、従来の設計のままレイアウトを変更せずに FT 3120 および FT 3150 IC チップで Neuron チップを直接置き換え、FT-X1 通信トランスで FTT-10A トランシーバを置き換えることができます (アプリケーションコードを再コンパイルするだけで済みます)⁵⁾。

下の図は、FT 3120-E4S40 IC および FT-X1 通信トランスで、32 ピン SOIC Neuron 3120 チップと FTT-10A トランシーバを置き換えた場合のブロック図です。FT 3120-E4S40 IC は、ピン互換の 32 ピン SOIC パッケージで FT-X1 通信トランスと組み合わせて使用します。エシェロン社の LonBuilder[®] および NodeBuilder[®] 開発ツール上でスマートトランシーバ用アプリケーションソフトウェアを開発するために必要なソフトウェアアップデートは、エシェロン社のホームページの www.echelon.com/toolbox からダウンロードすることができます。開発したアプリケーションプログラムを、FT 3120 スマートトランシーバに書き込むためのプログラマは、BP Microsystems から提供されています。FT 3120 スマートトランシーバは、エシェロン社の前世代の製品であるモデル番号 21700 Neuron 3120 チッププログラマを使ってプログラム書き込みすることも可能です。

エンドツーエンドソリューション

エシェロン社は、FT 3120 および FT 3150 スマートトランシーバをベースにした、費用対効果の高い堅牢な製品を設計、構築するために必要なツールや製品を提供しています。当社のエンドツーエンドソリューションは、開発ツール、ネットワークインターフェース、ルータおよびネットワークツールの全てを含んでいます。エシェロン社の LonSupport[™] サポートプログラムを通じて、お客様が機器を量産する前に潜在する問題を洗い出すデザインレビューサービスやトレーニング、ワールドワイドな技術サポート (オンサイトサポートを含む) をご利用いただけます。

32 ピン SOIC Neuron 3120 チップおよび FTT-10A から FT 3120-E4S40 IC および FT-X1 通信トランスへのアップグレード

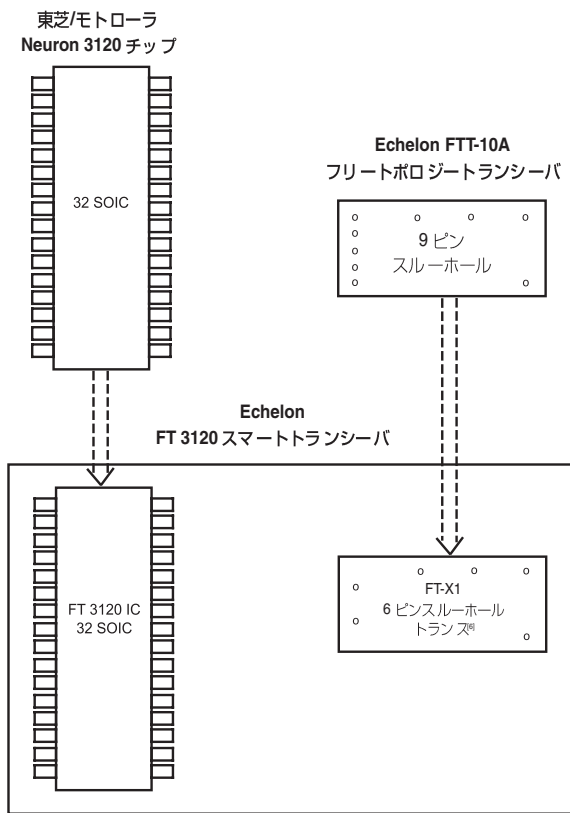


図 2

注記:

⁵⁾ 受信パケット検出 LED を実装しているデバイスのなかには、FT 3120 および FT 3150 スマートトランシーバに移行するときに、パケット検出 LED 回路周りの修正が必要なものがあります。詳細については「FT 3120/FT 3150 Smart Transceiver Data Book」(文書番号 005-0139-01) を参照してください。

⁶⁾ FT-X1 通信トランスは別途注文する必要があります。このトランスは全ての設計において FT 3120/FT 3150 IC チップと共に使用しなければなりません。

FT 3120/FT 3150 スマートトランシーバをベースにしたノード例

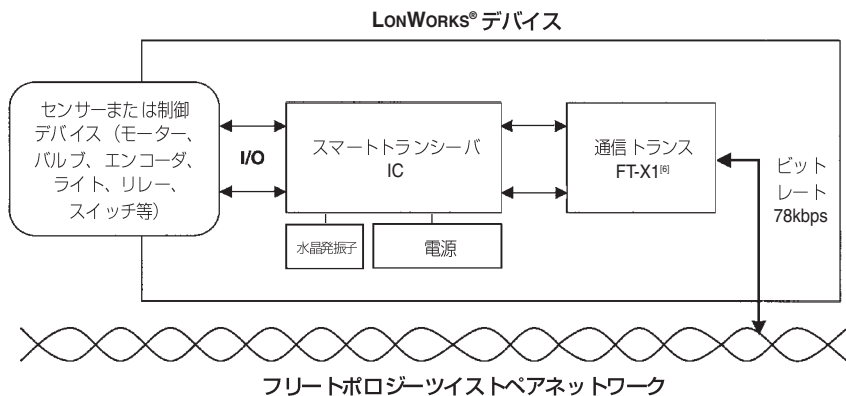


図 3

FT 3120/FT 3150 スマートトランシーバをベースにしたノード例

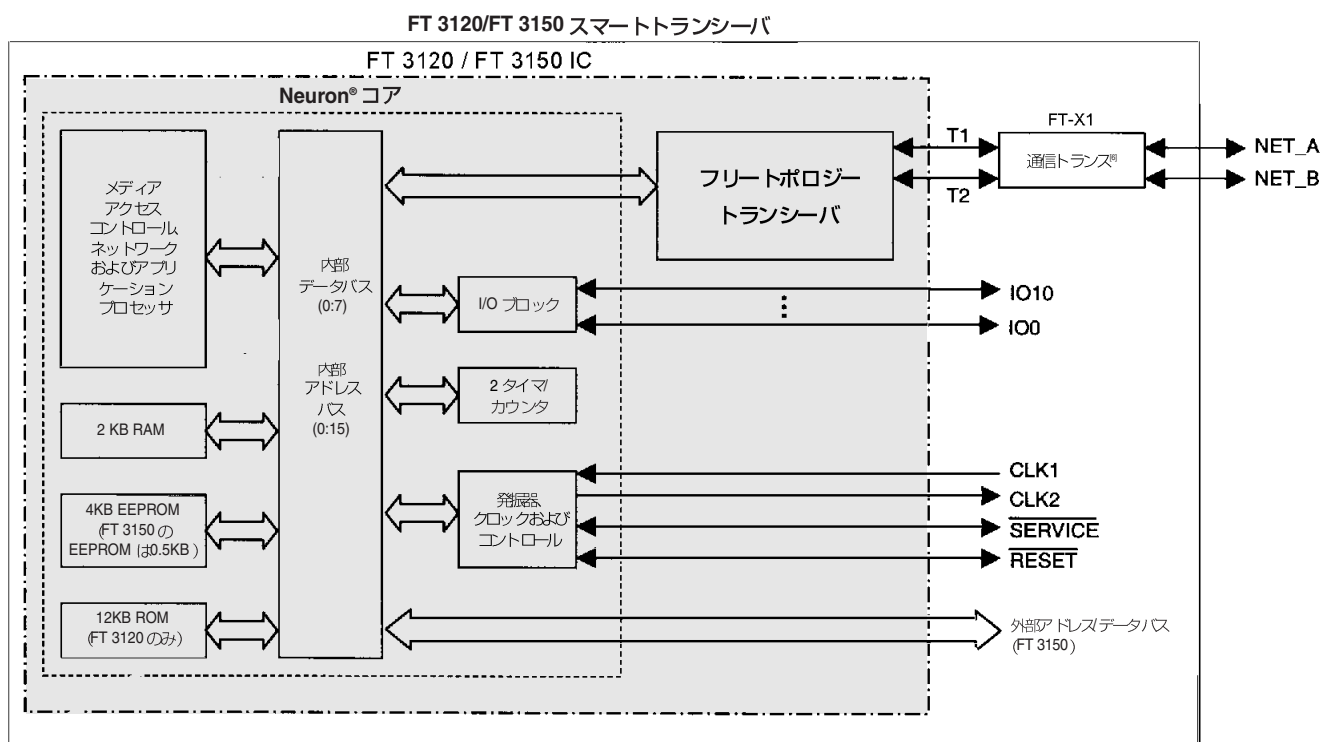


図 4

FT 3120/FT 3150 スマートトランシーバICのピン配置

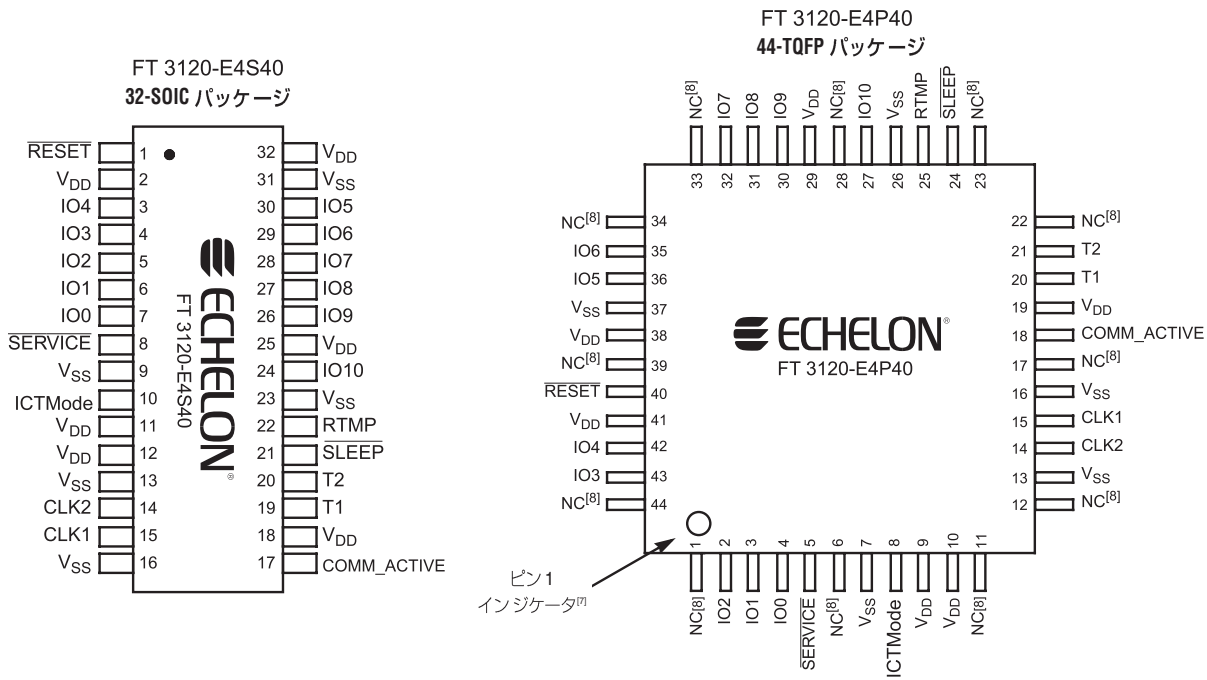


図5a

図5b

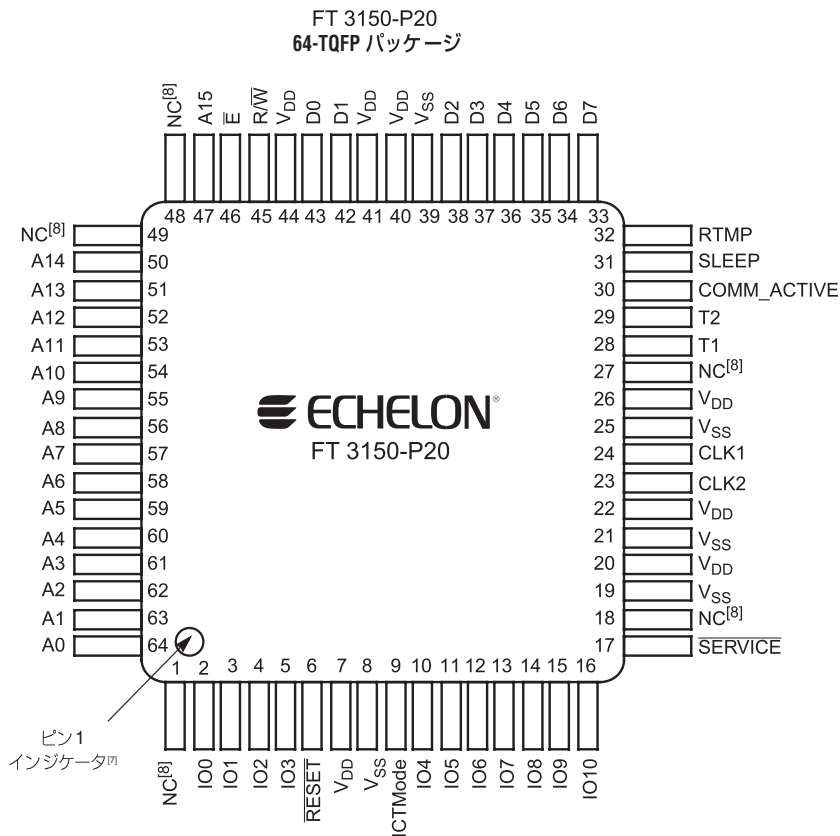


図5c

注記:

⁷⁾ マーキングの左下端の小さな凹みがピン1を示しています。

⁸⁾ NC (接続なし) : 使用しないでください (これらのピンは内部テスト用に予約されています)。

FT 3120/FT 3150 スマートトランシーバIC ピン機能概要

ピン名称	種類	機能	FT 3150-P20 TQFP-64 ピン番号	FT 3120-E4S40 SOIC-32 ピン番号	FT 3120-E4P40 TQFP-44 ピン番号
CLK1	入力	発振器接続部または外部クロック入力。	24	15	15
CLK2	出力	発振器の接続部。CLK1 に外部クロックが入力されているときはオープンのままにしてください。最大1つの外部 HCMOS 等価負荷。	23	14	14
RESET	I/O (内蔵プルアップ)	リセットピン (アクティブLOW)。 注記: RESET ピンに接続可能な外部容量は100pF~1000pF。	6	1	40
SERVICE	I/O (設定可能な内蔵プルアップ)	サービスピン (アクティブ LOW)。76Hz の速度で交互に入力と出力。	17	8	5
IO0-IO3	I/O	大電流シンク能力 (20mA)。一般 I/O ポート。タイマ/カウンタ 1 の出力は I/O0 に割り付け可能。タイマ/カウンタ 2 の出力は I/O1 に割り付け可能。	2, 3, 4, 5	7, 6, 5, 4	4, 3, 2, 43
IO4-IO7	I/O (設定可能な内蔵プルアップ)	一般 I/O ポート。タイマ/カウンタ 1 の入力 I/O4 ~I/O7 のうちの 1 つに割り付け可能。タイマ/カウンタ 2 の入力 I/O4 に割り付け可能。	10, 11, 12, 13	3, 30, 29, 28	42, 36, 35, 32
IO8-IO10	I/O	一般 I/O ポート。ファームウェア制御下でシリアル通信に使用可能。	14, 15, 16	27, 26, 24	31, 30, 27
D0-D7	I/O	双方向メモリデータバス。	43, 42, 38, 37, 36, 35, 34, 33	N/A	N/A
R/W	出力	外部メモリの読取り/書き込み制御出力。	45	N/A	N/A
E	出力	外部メモリの Enable (有効) クロック制御出力。	46	N/A	N/A
A0-A15	出力	メモリアドレス出力ポート。	47, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64	N/A	N/A
V _{DD}	電源	電源入力 (公称 5V)。全ての V _{DD} ピンは外部でまとめて接続されている必要があります。	7, 20, 22, 26, 40, 41, 44	2, 11, 12, 18, 25, 32	9, 10, 19, 29, 38, 41
V _{SS}	電源	電源入力 (0V, GND)。全ての V _{SS} ピンは外部でまとめて接続されている必要があります。	8, 19, 21, 25, 39	9, 13, 16, 23, 31	7, 13, 16, 26, 37
ICTMode	入力	回路内テストモードコントロール。ICTMode を HIGH に、RESET を LOW に駆動すると、デバイスは回路内テストモードになります (全てのピンは高インピーダンス状態)。	9	10	8
T1	I/O	外部トランスの T1 とインターフェースされるアナログピン。東芝、モトローラおよび Cypress Neuron チップの CP0 に対応。	28	19	20
T2	I/O	外部トランスの T2 とインターフェースされるアナログピン。東芝、モトローラおよび Cypress Neuron チップの CP1 に対応。	29	20	21
COMM_ACTIVE	出力	ネットワークへの送信/受信の有無の監視に使用可能。データ送信中は HIGH、データ受信中は LOW、その他の場合は高インピーダンスに保持されます。	30	17	18
SLEEP	出力	SLEEP。FT 3120/FT 3150 がスリープモードであることを知らせる出力として設定可能。東芝、モトローラおよび Cypress Neuron チップの CP3 に対応。	31	21	24
RTMP	入力	将来の使用のために予約。5V にプルアップする必要があります。東芝、モトローラおよび Cypress Neuron チップの CP4 に対応。	32	22	25
NC	—	接続なし。オープンにしておく必要があります。	1, 18, 27, 48, 49	N/A	1, 6, 11, 12, 17, 22, 23, 28, 33, 34, 39, 44

FT-X1 通信トランス⁶⁾のピン配置

6 ピンスルーホールトランス (上面図)

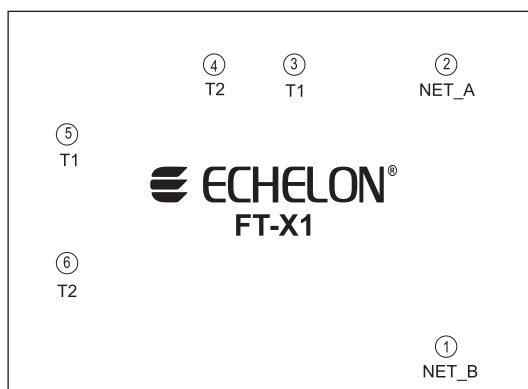


図 6

FT-X1 通信トランスのピン説明

ピン名称	機能	トランスピン番号
NET_B	ネットワークポート (無極性)	1
NET_A	ネットワークポート (無極性)	2
T1	FT 3120/FT 3150 IC の T1 ピンに接続。内部でピン 5 に接続。FTT-10A の RXD ピンに対応。	3
T2	FT 3120/FT 3150 IC の T2 ピンに接続。内部でピン 6 に接続。FTT-10A の TXD ピンに対応。	4
T1	ESD/過渡電流保護回路に接続。内部でピン 3 に接続。FTT-10A の T1 ピンに対応。	5
T2	ESD/過渡電流保護回路に接続。内部でピン 4 に接続。FTT-10A の T2 ピンに対応。	6

電気的特性 (V_{DD} = 4.75-5.25V)

パラメータ	説明	最小値	最大値	単位	
V _{IL}	入力低電圧 IO0-IO10, SERVICE, D0-D7, RESET		0.8	V	
V _{IH}	入力高電圧 IO0-IO10, SERVICE, D0-D7, RESET	2.0		V	
V _{OL}	低レベル出力電圧 I _{out} < 20μA 標準出力 (I _{OL} = 1.4 mA) ^[9] 高シンク (IO0-IO3), SERVICE, RESET (I _{OL} = 20 mA) 高シンク (IO0-IO3), SERVICE, RESET (I _{OL} = 10 mA) 最大シンク (COMM_ACTIVE) (I _{OL} = 40 mA) 最大シンク (COMM_ACTIVE) (I _{OL} = 15 mA)		0.1 0.4 0.8 0.4 1.0 0.4	V	
V _{OH}	高レベル出力電圧 I _{out} < 20μA 標準出力 (I _{OH} = -1.4 mA) ^[9] 高シンク (IO0-IO3), SERVICE (I _{OH} = -1.4 mA) 最大シンク (COMM_ACTIVE) (I _{OL} = -40 mA) 最大シンク (COMM_ACTIVE) (I _{OL} = -15 mA)	V _{DD} - 0.1 V _{DD} - 0.4 V _{DD} - 0.4 V _{DD} - 1.0 V _{DD} - 0.4		V	
V _{hys}	ヒステリシス (CLK1 を除く)	175		mV	
I _{in}	入力電流 (プルアップを除く) (V _{SS} から V _{DD} へ) ^[10]		+/- 10	μA	
I _{bu}	プルアップソース電流 (V _{out} = 0 V, 出力 = 高インピーダンス) ^[10]	60	260	μA	
I _{DD}	動作モード消費電流 ^[11, 12]	40MHz クロック	I _{DD(receive)} I _{DD(transmit)}	60 75 42 57 35 50 20 35	mA mA mA mA mA mA mA mA
		20MHz クロック	I _{DD(receive)} I _{DD(transmit)}	42 57	mA mA
		10MHz クロック	I _{DD(receive)} I _{DD(transmit)}	35 50	mA mA
		5MHz クロック	I _{DD(receive)} I _{DD(transmit)}	20 35	mA mA

LVI トリップポイント (V_{DD})

部品番号	最小値	標準値	最大値	単位
FT 3120 および FT 3150	3.8	4.1	4.4	V

外部メモリアンターフェースのタイミング — FT 3150 (V_{DD} = 4.75 ~ 5.25 V, T_A = -40 ~ +85 C)^[3]

(測定値の詳細については図7~12を参照。)

パラメータ	説明	CL	最小値	最大値	単位
t _{cyc}	メモリサイクル時間 (システムクロック周期)		100	400	ns
PW _{EH}	パルス幅、E HIGH ^[13]		t _{cyc} /2 - 5	t _{cyc} /2 + 5	ns
PW _{EL}	パルス幅、E LOW		t _{cyc} /2 - 5	t _{cyc} /2 + 5	ns
t _{AD}	遅延、E HIGH からアドレス有効まで	30pF 50pF		35 45	ns
t _{AH}	E HIGH 後のアドレスホールド時間	≥30pF	10		ns
t _{RD}	遅延、E HIGH から R/W 有効読み取りまで	30pF 50pF		25 45	ns
t _{RH}	E HIGH 後の読み取り R/W ホールド時間	≥30pF	5		ns
t _{WR}	遅延、E HIGH から R/W 有効書き込みまで	30pF 50pF		25 45	ns
t _{WH}	E HIGH 後の書き込み R/W ホールド時間	≥30pF	5		ns
t _{DSR}	データ読み取りセットアップ時間から E HIGH まで	30pF 50pF	15 25		ns
t _{DHR}	E HIGH 後の読み取りデータホールド時間	≥30pF	0		ns
t _{DHW}	E HIGH 後の書き込みデータホールド時間 ^[14]	≥30pF	10		ns
t _{DDW}	遅延、E LOW からデータ有効まで	30pF 50pF		12 60	ns
t _{acc} ^[15]	入力クロック 20MHz での外部読み取りアクセス時間 (t _{acc} = t _{cyc} - t _{AD} - t _{DSR})	30pF		50	ns
t _{acc} ^[15]	入力クロック 10MHz での外部読み取りアクセス時間 (t _{acc} = t _{cyc} - t _{AD} - t _{DSR})	50pF		130	ns

注記:

⁹ 標準出力はIO4~IO10。(RESET はオーブンドレインの入出力です。CLK2の負荷は≤15pFでなければなりません。) FT 3150の場合、標準出力にはさらにA0~A15、D0~D7、E、およびR/Wが含まれます。

¹⁰ IO4~IO7とSERVICEは設定可能なプルアップを備えています。RESETは恒久的なプルアップを備えています。

¹¹ 消費電流測定条件: 全ての出力は無負荷条件、全ての入力は≤0.2Vまたは≥(V_{DD} - 0.2V)、設定可能なプルアップはオフで、水晶発振器クロック入力はDisable(無効)。

¹² 最大消費電流値は電源電圧範囲の midpoint における値。

¹³ t_{cyc} = 2/f。ここで、fは入力クロック (CLK1) の周波数 (20、10または5 MHz)。

¹⁴ データホールドパラメータt_{DHW}は従来のデータ無効レベルに対してではなく、図12に示すDisableレベルに対して測定されています。

¹⁵ このパラメータは、アドレスからデータまでのメモリ読み取りアクセス時間のみを考慮したもので、チップEnableデコードを考慮に入れていません。実際の設計についてはさらに詳しい解析を行ってください。

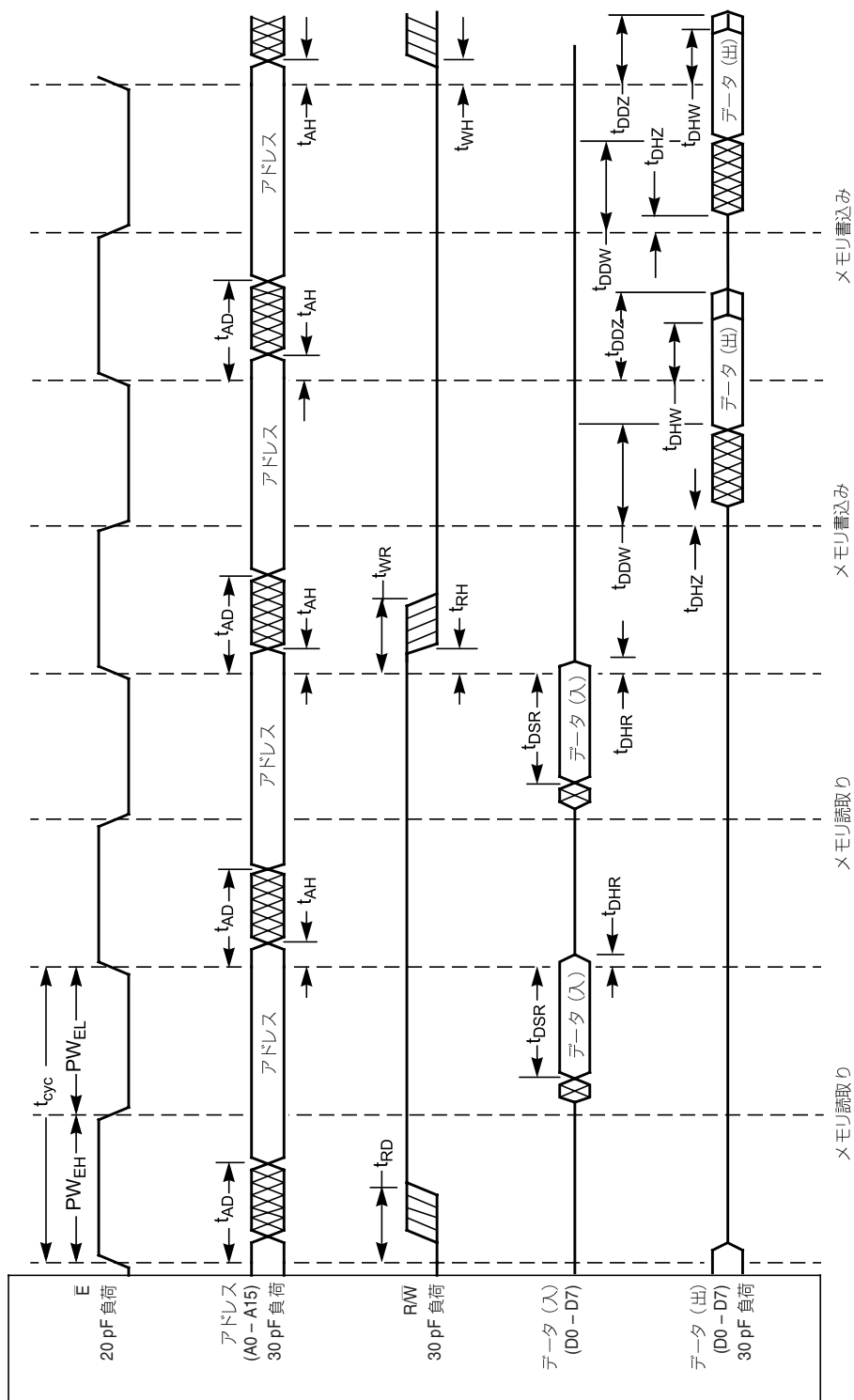
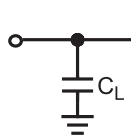


図7 外部メモリアンターフェースのタイミング図

テスト信号



$C_L = 20\text{pF}$ (E の場合)
その他全ての信号については C_L は表の指定どおり

図8 タイミング仕様値での (前提となる) 信号負荷

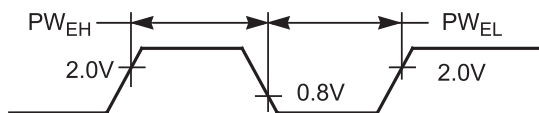
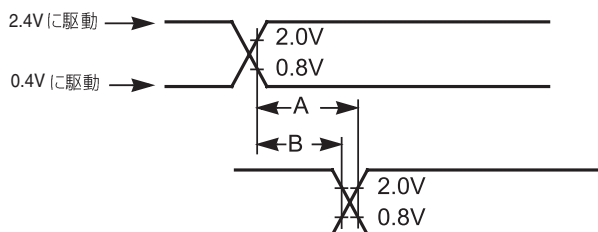


図9 Eパルス幅測定用のテストポイントレベル



A: 信号有効から信号有効までの仕様 (最大または最小)
B: 信号有効から信号無効までの仕様 (最大または最小)

図10 タイミング仕様値での駆動レベルおよびテストポイントレベル (特に指定されていない場合)

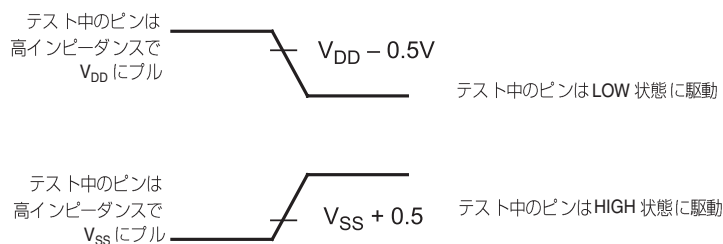
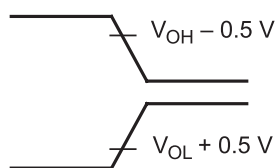


図11 高インピーダンスから駆動状態への時間測定用のテストポイントレベル



V_{OH} : HIGH 出力駆動レベルの測定値
 V_{OL} : LOW 出力駆動レベルの測定値

図12 駆動状態から高インピーダンスへの時間測定用のテストポイントレベル

FT 3120/FT 3150 スマートトランシーバの推奨IC パッドレイアウト

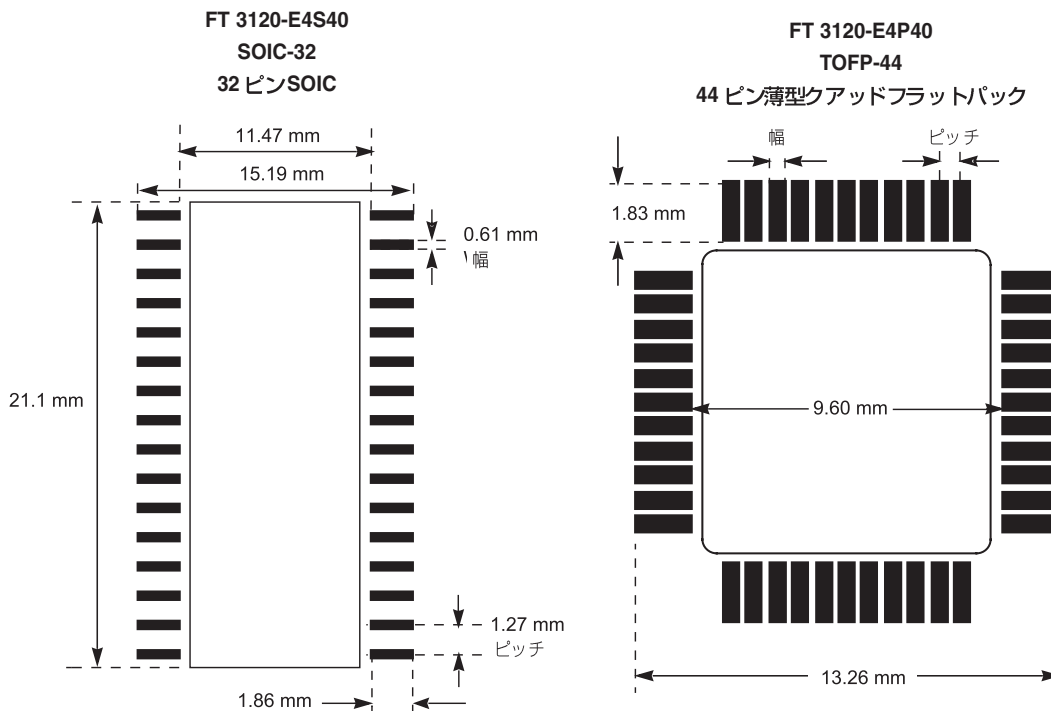


図 13a

図 13b

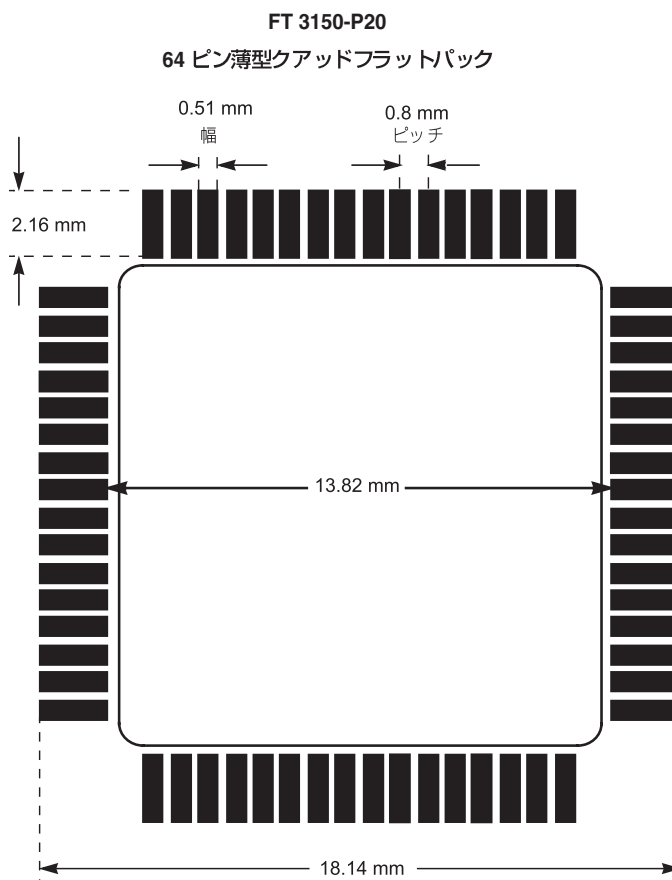


図 13c

FT 3120/FT 3150 スマートトランシーバICのパッケージ図

32ピン (450 MIL) モールドSOIC S34

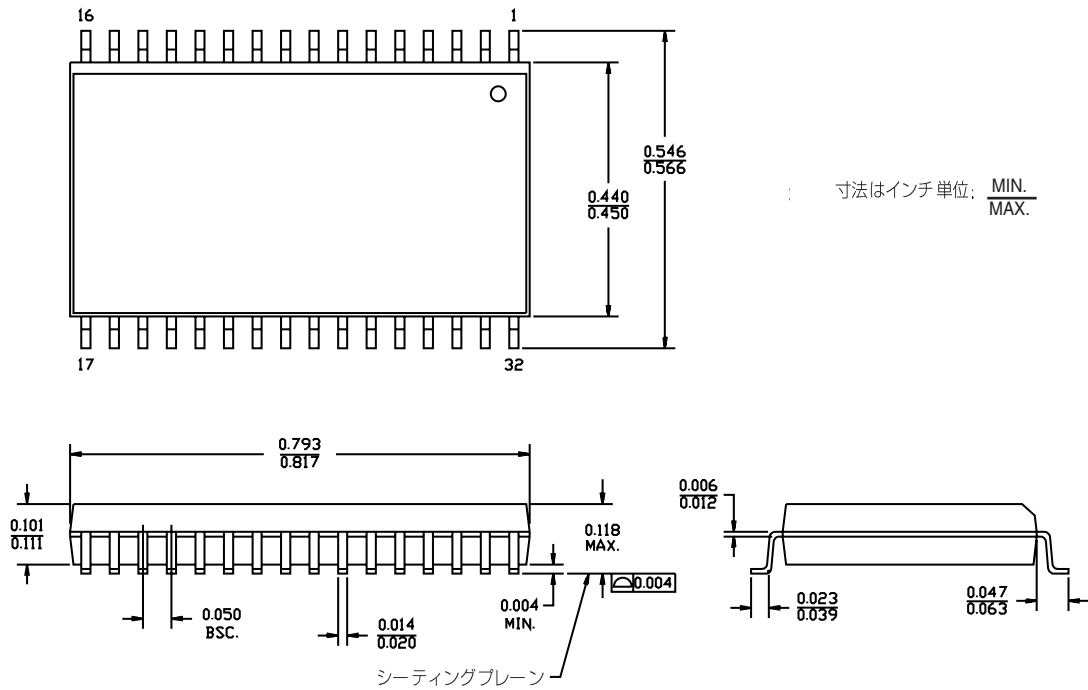


図 14a

44ピン薄型プラスチックアップフラットパック A44

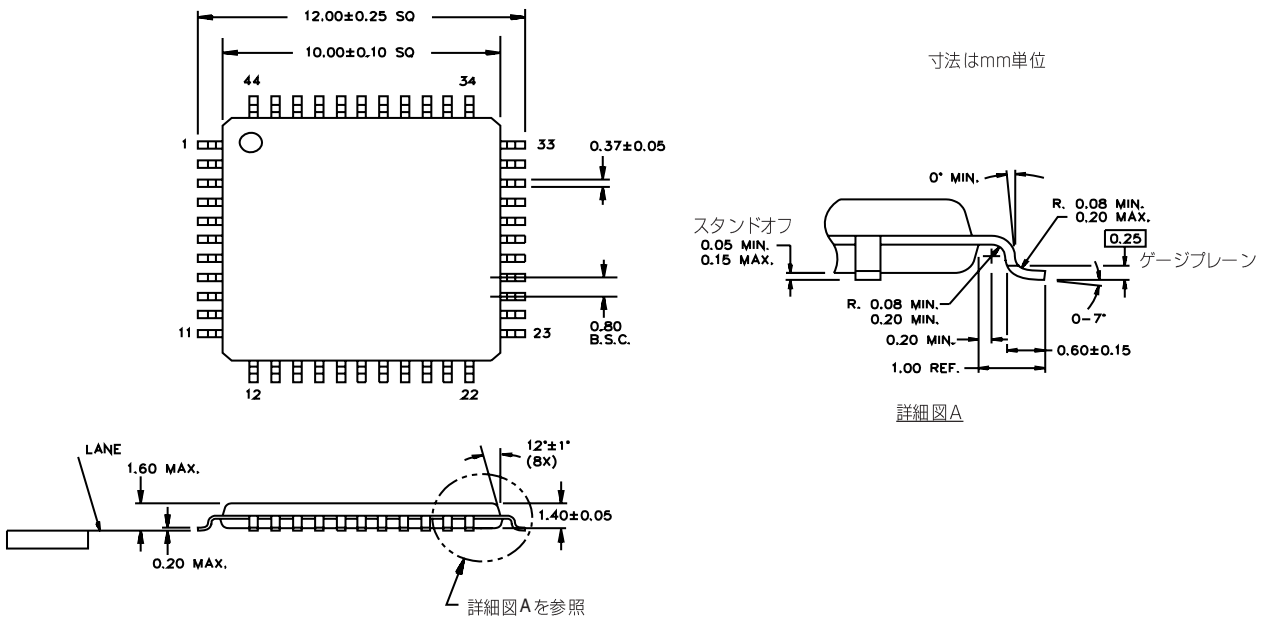


図 14b

64ピン薄型プラスチックアダプタバック (14 x 14 x 1.4 mm) A65

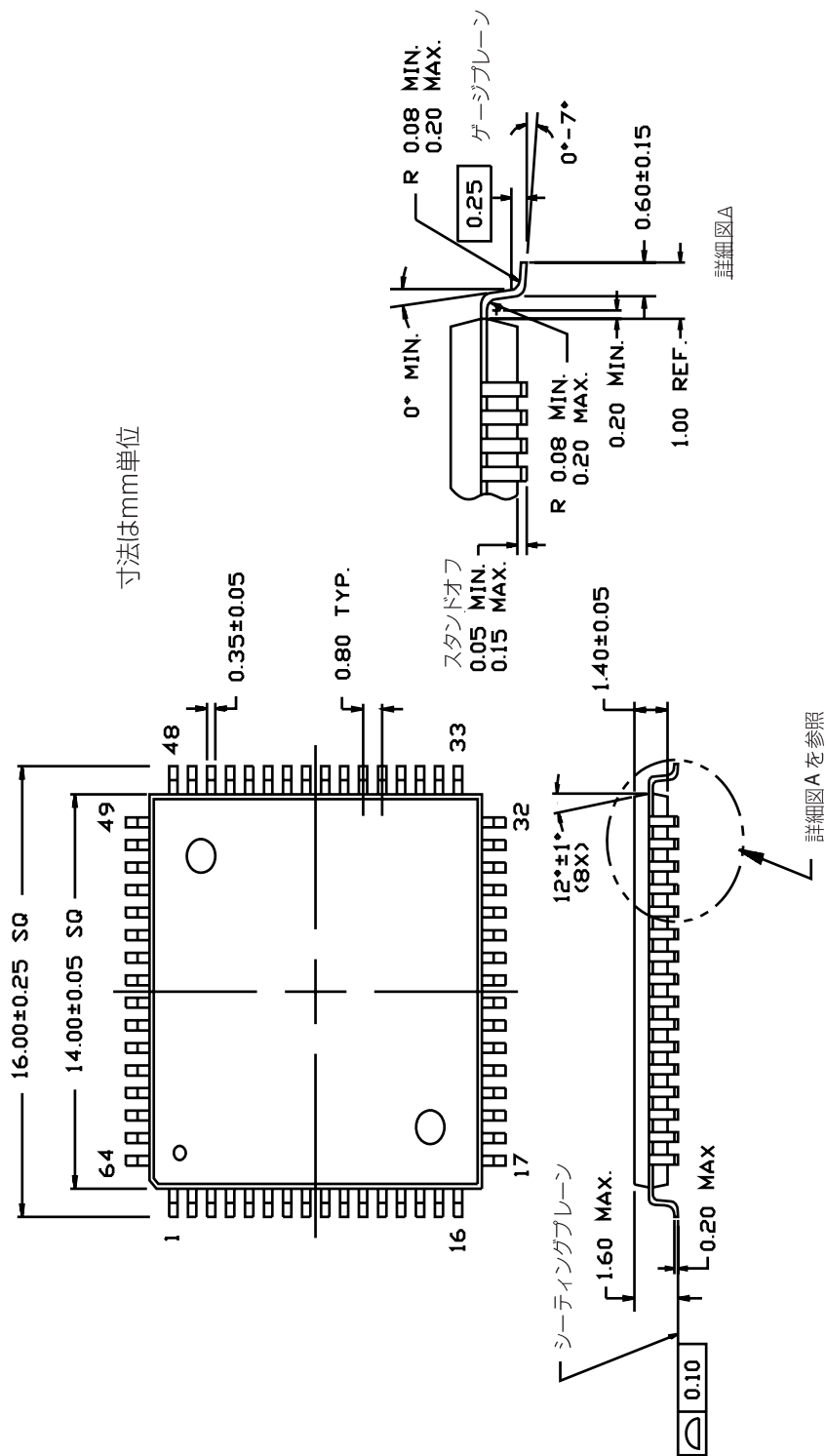


図14c

FT-X1通信トランス^①上面図 (寸法はmm)

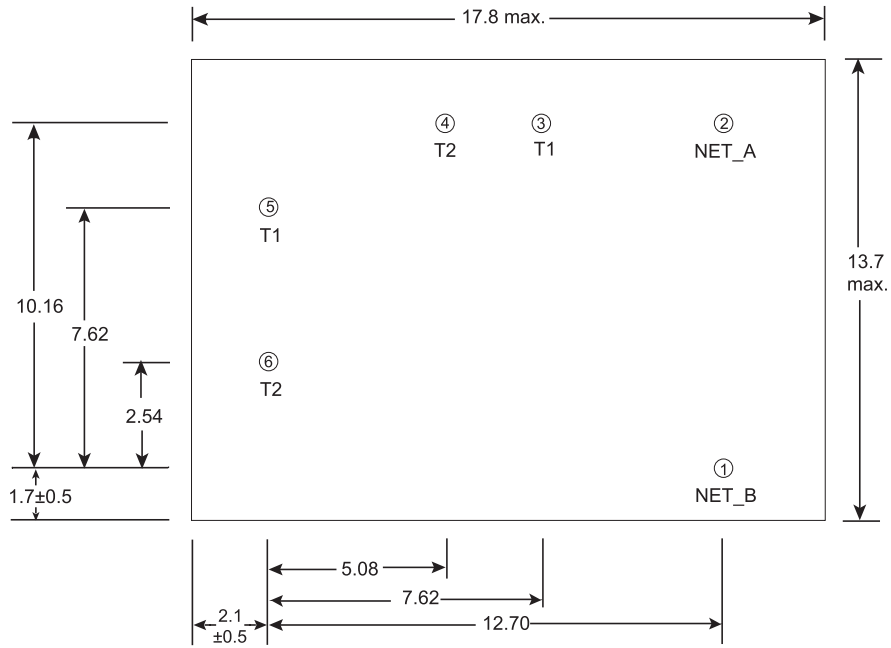


図 15

FT-X1通信トランス側面図

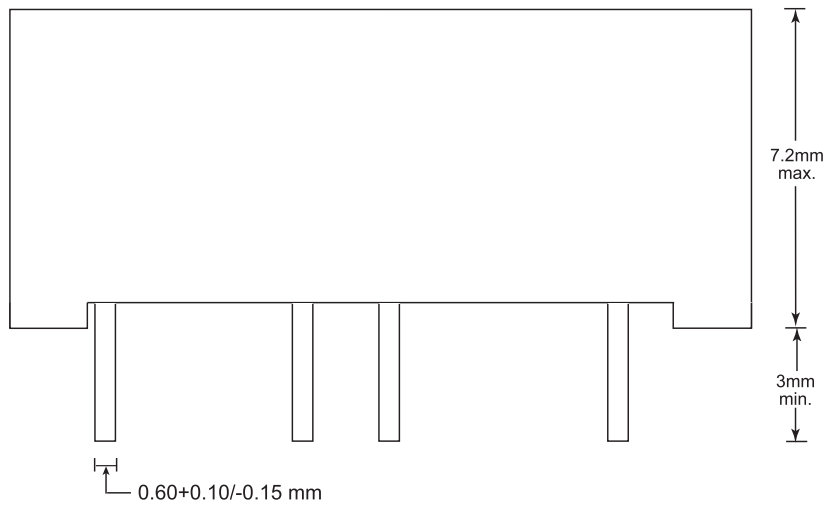


図 16

仕様

データ通信タイプ	差動マンチェスターコーディング
ネットワーク極性	無極性
ネットワークとの絶縁 0~60Hz、60秒 0~60Hz、連続	1,000Vrms 277Vrms ^[6]
EMI	FCC/パート15レベルBおよびEN55022レベルB適合設計
ESD	EN 61000-4-2、レベル4適合設計
電磁放射感受性	EN 61000-4-3、レベル3適合設計
高速トランジェント/バースト耐性	EN 61000-4-4、レベル4適合設計
サージ耐性	EN 61000-4-5、レベル3適合設計
導電RF耐性	EN 61000-4-6、レベル3適合設計
安全承認 (FT-X1通信トランス)	ULの基準UL 60950, 2000およびCSA C22.2 No. 60950, 2000認定、TÜV EN 60950認定
送信速度	毎秒78キロビット
セグメント当たりのトランシーバ数	最大64
ネットワーク配線	24~16AWGツイストペア。適合ケーブルタイプについては、『FT 3120/FT 3150 Smart Transceiver Data Book』または『Junction Box and Wiring Guidelines Application Note』を参照。
フリートポロジにおけるネットワーク長 ^[7]	リピータ1個のときの最大全ワイヤ長は1,000m リピータなしのときの最大全ワイヤ長は500m 最大デバイス間距離は500m
両終端バス型トポロジにおけるネットワーク長 ^[7]	リピータ1個のときに5,400m リピータなしのときに2,700m
両終端バス型トポロジにおける最大スタブ長	3m
ネットワーク終端処理	フリートポロジでは終端抵抗1個、バス型トポロジでは終端抵抗2個 (『FT 3120/FT 3150 Smart Transceiver Data Book』を参照)
パワーダウン時のネットワーク保護	電源が入っていないときは高インピーダンス
物理層リピータ	物理層リピータを実現するためにFT 3120/FT 3150スマートトランシーバを使用することはできません。トランシーバ数またはワイヤ距離の全長の制限を超えた場合、FTT-10Aトランシーバを用いて物理層リピータを作ることができます。詳細については『FTT-10A Free Topology Transceiver User's Guide』を参照。
動作温度	-40~85°C ^[3]
動作湿度	湿度 25~90%@50°C (但し結露無きこと)
非動作湿度	湿度 95%@50°C (但し結露無きこと)
振動	ピーク間 1.5g、8Hz~2kHz
機械的ショック	100g (ピーク)

注記：

^[6] 安全機関の危険電圧バリア必要条件はサポートされていません。

^[7] ネットワークセグメント長はワイヤのタイプによって異なります。詳しい仕様については、『Junction Box and Wiring Guidelines Application Note』を参照してください。

オーダー情報

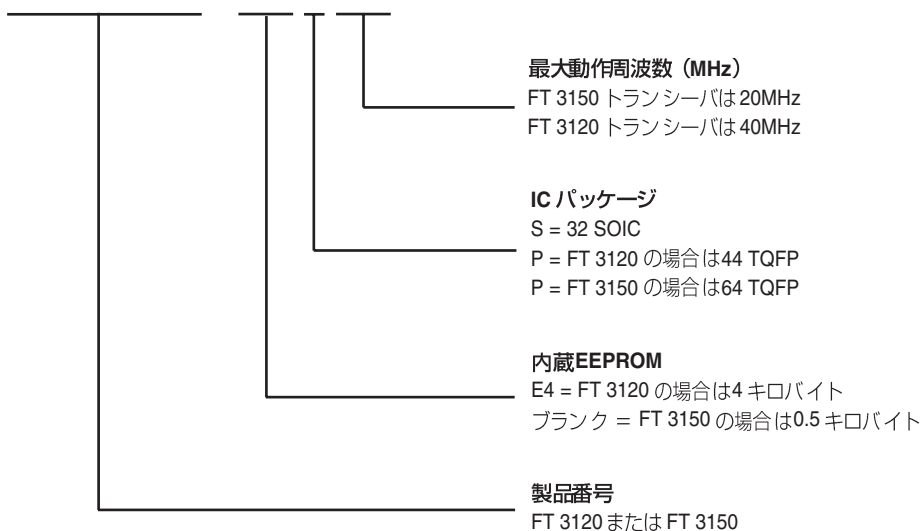
注：スマートトランシーバICチップとFT-X1 通信トランスは同数注文する必要があります。

スマートトランシーバIC 製品番号	モデル番号	最大入力 クロック	EEPROM (キロバイト)	RAM (キロバイト)	ROM (キロバイト)	外部メモリ インターフェース	IC パッケージ
FT 3120-E4S40	14210-500	40MHz	4Kbytes	2Kbytes	12Kbytes	No	32 SOIC
FT 3120-E4P40	14220-800	40MHz	4Kbytes	2Kbytes	12Kbytes	No	44 TQFP
FT 3150-P20	14230-450	20MHz	0.5Kbytes	2Kbytes	N/A	Yes	64 TQFP

通信トランス製品番号	モデル番号	トランスパッケージ
FT-X1	14240	6 ピンスルーホール

スマートトランシーバIC 製品番号の説明

FT 3120 - E4S40



参考資料

『FT 3120/FT 3150 Smart Transceiver Data Book』は、エシエロン社のホームページからダウンロード、またはエシエロン社の資料発送部署 (literature fulfillment department) にご注文ください。

文書名

FT 3120/FT 3150 Smart Transceiver Data Book

Echelon Part Number

005-0139-01

本書に記載された内容は、予告なく変更される場合がありますのでご了承ください。

著作権 ©2000-2004, Echelon Corporation. Echelon, LON, LONWORKS, LONMARK, LonPoint, LonBuilder, Nodebuilder, LonManager, Digital Home, LonTalk, Neuron, 3120, 3150, LONMARK ロゴおよび Echelon ロゴは、米国およびその他の国におけるエシエロン社の登録商標です。LNS, LNS Powered ロゴ, SMX, LonResponse, LONews, LonSupport, LonMaker, iLON, Bringing the Internet to Life, ShortStack, Open Systems Alliance および Open Systems Alliance ロゴは、エシエロン社の商標です。その他の商標はそれぞれの会社に属します。

免責事項

Neuron チップ、スマートトランシーバおよびその他のOEM製品は、人体の健康や安全に対する危害または物損を招くおそれのある機器やシステムでの使用を目的に設計されたものではありません。Neuron チップまたはフリーボードロジックをトランシーバのモジュールをそのような機器あるいはシステムに対して使用することについて、エシエロン社は一切の責任を負いません。製品の市販性または特定目的の適合性に関しては、明示もしくは黙示の如何に拘わらず、また書面もしくはその他のいかなる手段によるものかにかかわらず、エシエロン社はお客様にいかなる保証もなすことはありません。

003-0337-01B