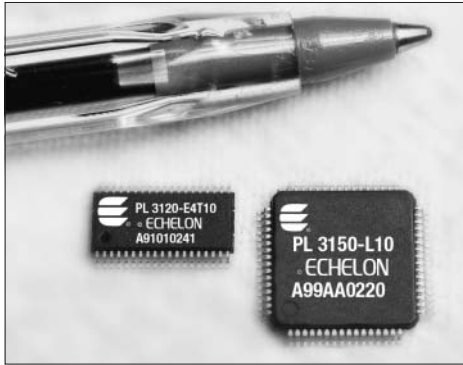


PL 3120[®]およびPL 3150[®]電力線スマートトランシーバ モデル番号15311R-1000および15321R-960



概要

PL 3120およびPL 3150電力線スマートトランシーバは、Neuronプロセッサコアと電力線トランシーバをワンチップに集積化したICで、家電、オーディオ/ビデオ、照明、冷暖房、セキュリティ、メータ検針、灌漑用のアプリケーションに適しています。多機能をワンチップに納めた電力線スマートトランシーバは、コストを最重視する消費者向け分野においても超低価格の、しかも超小型の製品で、信頼性の高い狭帯域の電力線スマートトランシーバ、および8ビットのNeuronプロセッサコア（アプリケーションの実行およびネットワーク通信管理用）、さらに内蔵または外部メモリの選択枝を備えています。

グローバルな要請に対応

PL 3120およびPL 3150電力線スマートトランシーバは、FCC、カナダ産業省、日本の総務省の電波法、ヨーロッパのCENELEC EN50065-1などの法規に適合しているため、グローバルな要請に対応しています。

これらの電力線スマートトランシーバは、CENELECアクセスプロトコルを、ユーザーがEnable（有効）またはDisable（無効）できるようになっています。このため、CENELEC EN50065-1で指定されている複雑なタイミングアルゴリズムやアクセスアルゴリズムをユーザーが開発する必要はありません。さらに、電力線スマートトランシーバは、CENELECのユーティリティ（電力・ガス・水道）アプリケーション用バンド（Aバンド）または一般信号伝達用バンド（Cバンド）のいずれでも動作可能であるため、異なるアプリケーション用に複数の部品を用意しておく必要がなくなります。

優れた性能

断続的なノイズ源やインピーダンス変化、さらには減衰が電力線に存在すると、信号伝達が困難になります。PL 3120およびPL 3150電力線スマートトランシーバは、下記のさまざまな技術革新を導入して信頼性の高い動作を保証しています。

- 独自の搬送波周波数2重化機能により、一次通信周波数がノイズでブロックされた場合に代替の二次周波数を自動的に選択。
- 高効率かつ特許取得済みの低オーバーヘッド前方向エラー訂正（FEC）アルゴリズムがノイズによるエラーを克服。
- 高度なデジタル信号処理、ノイズ除去、および歪み補正アルゴリズムにより、インパルスノイズ、連続トーンノイズ、位相歪みなどのさまざまな信号伝達障害を是正。

- ▼ ANSI-709.2適合の電力線トランシーバとANSI-709.1適合のNeuron[®] 3120またはNeuron 3150プロセッサコアの組み合わせ。
- ▼ 電力線通信に関するFCC、カナダ産業省、日本の総務省、ヨーロッパのCENELEC EN50065-1の法規に適合。
- ▼ CENELEC AバンドおよびCバンド動作をサポート。
- ▼ 搬送波周波数2重化モードおよびデジタル信号処理。
- ▼ PL 3120電力線スマートトランシーバの内蔵EEPROMの4キロバイトはアプリケーションコードと構成データ用。PL 3150電力線スマートトランシーバの内蔵EEPROMの0.5キロバイトは構成データ用。
- ▼ 大容量メモリを要するデバイスに対応した外部メモリインターフェースを提供（PL 3150電力線スマートトランシーバのみ）。
- ▼ 内蔵RAMの2キロバイトはネットワークデータとネットワーク変数のバッファ用。
- ▼ 全二重UARTおよびSPIシリアルインターフェースを提供。
- ▼ 12本のI/Oピンおよび38種類のプログラマブル標準I/Oモードにより外部インターフェース回路を最小化。
- ▼ 動作温度範囲-40~+85°C。

- 低インピーダンス負荷に1Ap-pを流す高出力かつ低歪みの外部アンプ設計により、通常の住宅用途において、高価格の位相カップラはほとんど不要。

こうした高度な機能の組み合わせにより、これらの電力線スマートトランシーバは、家電製品、電力線インターフォン、モーターノイズ、電子安定器、調光器、その他の典型的な干渉源がある場所でも信頼性の高い動作を示します。これらの電力線スマートトランシーバは、低コストの外部カップリング回路を用いることにより、非給電ツイストペアだけでなく、ほとんどのACまたはDC電源を重複した電力線において通信可能となっています。

PL 3120電力線スマートトランシーバは、最大4キロバイトのアプリケーションコードと超小型38ピンのTSSOPパッケージを必要とする超低価格設計を対象としています。本チップは、4キロバイトのEEPROMおよび2キロバイトのRAMを内蔵しています。Neuronシステムファームウェアとソフトウェアアプリケーションライブラリは、オンチップROMに含まれています。

PL 3150電力線スマートトランシーバは、最大58キロバイトの外部メモリ（うち16キロバイトはNeuronシステムファームウェア専用）を必要とするアプリケーション用で、パッケージは64ピンのLQFPです。本チップは、0.5キロバイトのEEPROMおよび2キロバイトのRAMを内蔵しています。

PL 3120およびPL 3150電力線スマートトランシーバは、6.5536MHzまたは10.0MHzで動作します。6.5536MHzのクロック周波数の場合、電力線スマートトランシーバはCENELEC Aバンドで通信することができます。このバンドは、メータ検針およびユーティリティ（電力・ガス・水道）のアプリケーションで使用されます。10MHzのクロック周波数はCENELEC Cバンドをサポートします。このバンドは、ユーティリティ関連以外のすべての一般信号伝達用アプリケーションに適しています。

内蔵EEPROM（PL 3120電力線スマートトランシーバ）または外部不揮発性メモリ（PL 3150電力線スマートトランシーバ）に格納されているアプリケーションプログラムは、電力線ネットワークを通じて更新可能です。この優れた機能により、本製品は物理的に触れることなく更新できます。つまり、電力線インターフェースを使用してローカルPCで、あるいはiLON®インターネットサーバを使用してリモートサービスセンターから更新可能です。内蔵EEPROMは、最大1万回までデータロスなしに書き込み可能です。このEEPROMに格納されたデータは、少なくとも10年間保持されます。

低コストの電源

PL 3120およびPL 3150電力線スマートトランシーバは、+8.5～+18VDCおよび+5VDC電源を使用しており、受信モードでの消費電流が極小に抑えられています。電源の許容範囲が広く、受信時の必要電力が非常に小さいため、低コストの電源の使用が可能となっています。

さらに、電力線スマートトランシーバは、電源管理機能を備えており、デバイスの電源を常時監視しています。送信中、確実な信号伝達を保証できないレベルまで電源電圧が低下した場合、トランシーバは電源電圧が許容レベルに戻るまで送信を停止します。この独自の機能により、従来に比べて3分の1の電流容量を備えた電源を使用することができ、電源のサイズ、コスト、および発熱量を削減することができます。電源管理機能は、電気スイッチ、モーションデテクタ、コンセント、光センサ、調光器などの大量生産になる低コスト消費者向け製品に特に有用です。

フレキシブルなI/O、簡単な構成

PL 3120およびPL 3150電力線スマートトランシーバは、12本のI/Oピンを備えており、あらかじめ定義された38種の標準入出力モードのうちからいくつかのモードを自由に動作設定することができます。広範囲のI/Oモデルと2つの内蔵タイマ/カウンタを組み合わせたことにより、外部ロジックやソフトウェアの開発作業を最小限に抑えながら、PL 3120およびPL 3150電力線スマートトランシーバをアプリケーション回路に接続することができます。電力線スマートトランシーバは、全二重ハードウェアUART（最大115kbpsのボーレートをサポート）およびSPIインターフェース（最大625kbps）も備えています。

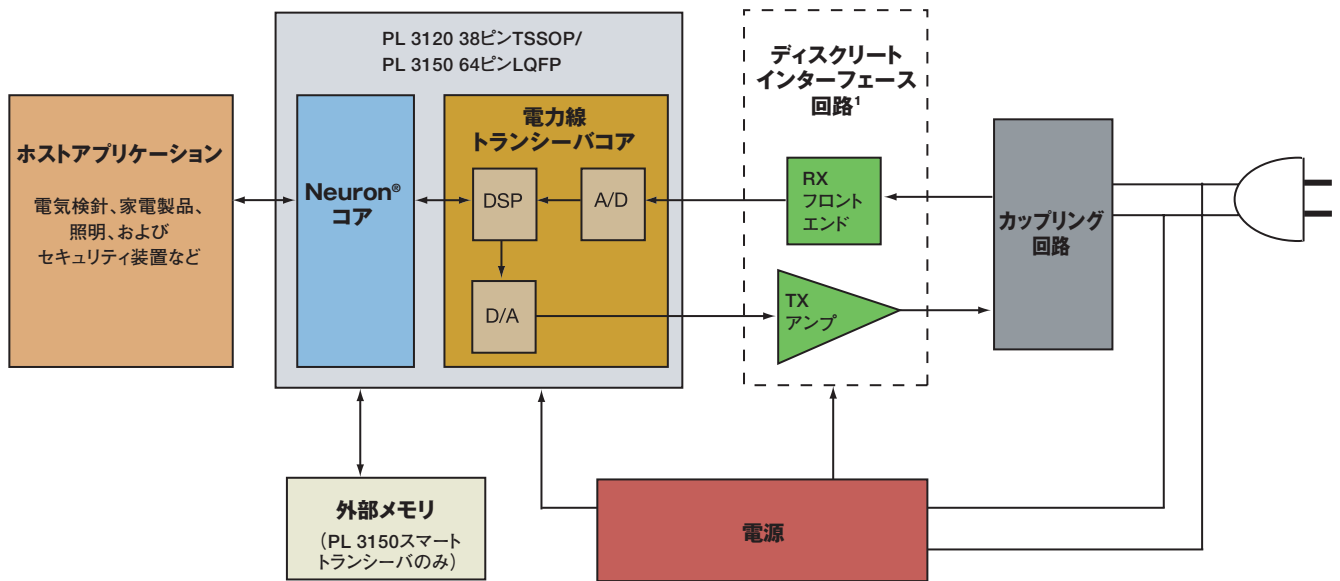
外部部品

低価格の外部部品をいくつか追加するだけで、完全な電力線スマートトランシーバベースのデバイスを作成することができます（「PL 3120およびPL 3150電力線スマートトランシーバのブロック図」を参照）。こうした外部部品には次のものがあります。

- 主に抵抗とコンデンサから成る約50個の部品でできたディスクリートインターフェース回路。この回路は、電力線スマートトランシーバ内蔵A/Dのために「フロントエンド」フィルタを備え、内蔵D/Aの送信信号を電力線に送り込むパワーアンプも備えています。エシエロン社では、お客様がこのインターフェース回路を作成するための総合的な開発サポートキット（DSK）*を提供しています。DSKの購入については最寄りの営業所にお問い合わせください。
- 主にコンデンサとインダクタから成る約10個の部品でできたカップリング回路は、電力線スマートトランシーバと電力線の間のシンプルなハイパスフィルタの役割を果たします。この回路は、低周波の50Hz/60Hz ACの電力線信号をブロックするだけでなく、サージおよびライン過渡電流保護も可能にします。詳細回路図は『PL 3120/PL 3150 Power Line Smart Transceiver Data Book』に記載されています。
- 従来のPL3120および3150（Revision.A）では、外部クロック回路にインバータ（論理NOT）が必要でしたが、PL3120および3150のRevision.Bでは、このインバータが不要になり、このコストを削減できます。Revision.Bは、チップパッケージの右下に"B"の印字があり、RoHS対応のPL3120およびPL3150は、Revision.B対応です。

*エシエロン社はPL 3120およびPL 3150電力線スマートトランシーバの外部回路の作成方法を開発し、特許を取得しています。これらの特許は、『Echelon PL 3120/PL 3150 Power Line Smart Transceiver Development Support Kit (DSK) License Agreement』というライセンス契約に従って、ライセンス供与されています。外部回路はDSKに含まれる回路・パターン・部品の指定の通りに作成する必要があります。基本的に変更することは許されません。

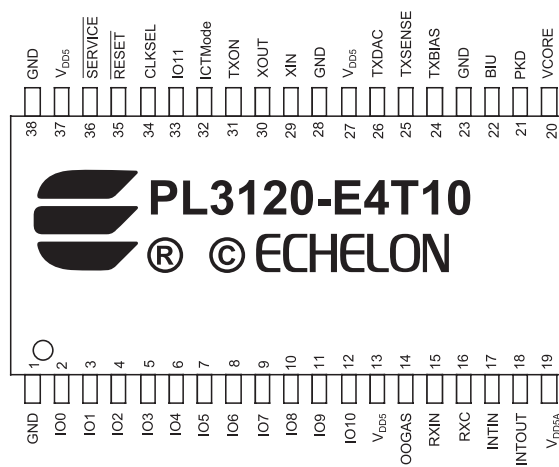
PL 3120およびPL 3150電力線スマートトランシーバのブロック図



仕様

機能	説明
放射適合性	低電圧信号伝達に関するFCC、カナダ産業省、日本の総務省、ヨーロッパのCENELEC EN50065-1の法規に適合する設計
ビットレート	トランシーバの生の性能として、CENELEC Cバンドで5.4kbps、CENELEC Aバンドで3.6kbps
通信技法	DSP(デジタル信号処理プロセッサ)組み込みレシーバによる搬送波周波数2重化位相変調方式(BPSK)
搬送波周波数	CENELEC Cバンドで132kHz (一次) および115kHz (二次)、CENELEC Aバンドで86kHz (一次) および75kHz (二次)
RoHS指令準拠	モデル15311R-1000およびモデル15321R-960は、電子・電子機器の危険物質に関する制限 (RoHS) の欧州指令2002/95/ECに準拠して設計されています。

PL 3120電力線スマートトランシーバのピン配置図

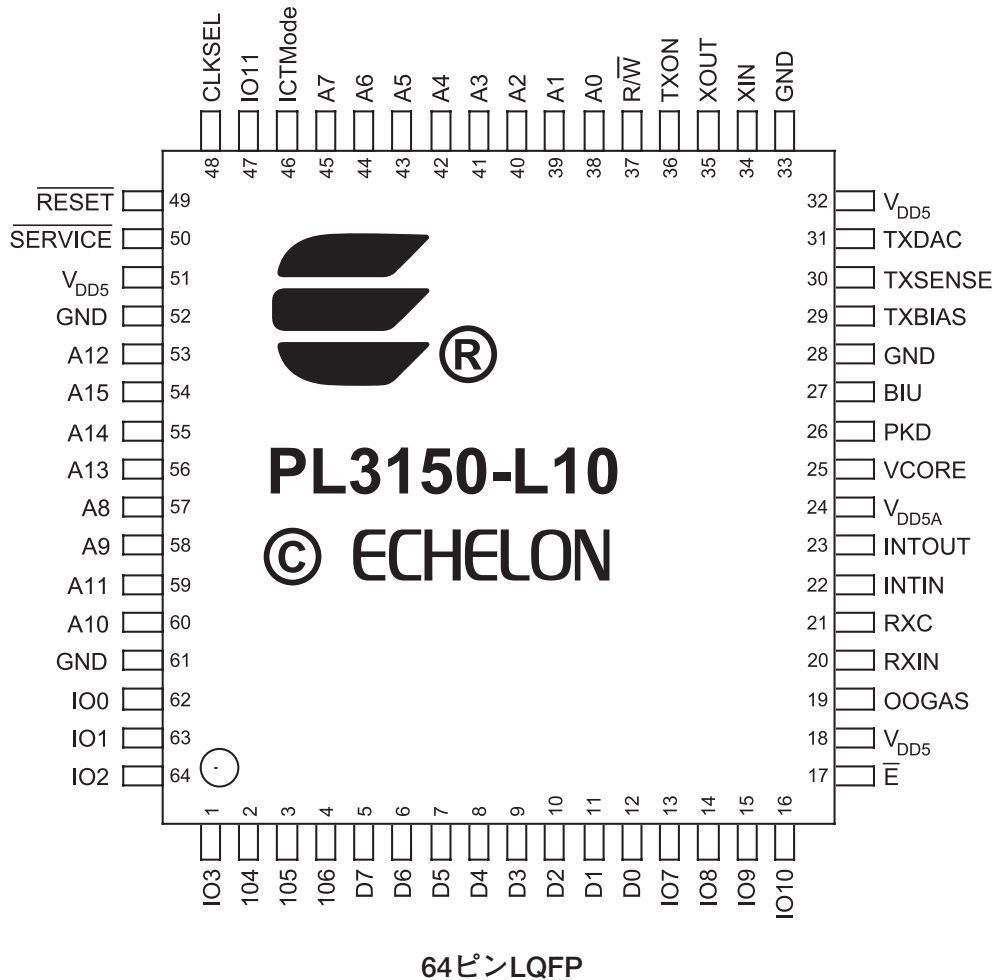


38ピンTSSOP

注記：

¹回路図、部品表、およびレイアウトプロットは開発サポートキット (DSK) に含まれています。

PL 3150電力線スマートトランシーバのピン配置図



PL 3120およびPL 3150電力線スマートトランシーバのピン説明

ピン名称	種類	ピン機能	PL 3120-E4T10 38 TSSOPピン番号	PL 3150-L10 64 LQFPピン番号
XIN	入力	発振器接続部または外部クロック入力。	29	34
XOUT	出力	発振器の接続部。	30	35
RESET	デジタルI/O	リセットピン (アクティブLOW)。	35	49
[see original]	(内蔵プルアップ)	注記：最大外部容量は1000pFです。		
SERVICE	デジタルI/O	サービスピン (アクティブLOW)。	36	50
[see original]	(設定可能な内蔵プルアップ)			
CLKSEL	デジタル入力	V _{DD5} に接続。	34	48
IO0-IO3	デジタルI/O	大電流シンク能力 (20mA)。汎用I/O。 タイマ/カウンタ1の出力はI/O0に割り付け可能。 タイマ/カウンタ2の出力はI/O1に割り付け可能。	2, 3, 4, 5	62, 63, 64, 1
IO4-IO7, IO11	デジタルI/O	汎用I/O。タイマ/カウンタ1の入力はI/O4~I/O7のうち (設定可能な内蔵プルアップ)の1つから供給可能。タイマ/カウンタ2の入力はIO4。	6, 7, 8, 9, 33	2, 3, 4, 13, 47
IO8	デジタルI/O	汎用I/O。UART RX。SPIスレーブクロック入力。 SPIマスタークロック出力。	10	14
IO9	デジタルI/O	汎用I/O。SPIスレーブデータ出力。 SPIマスターデータ入力。	11	15
IO10	デジタルI/O	汎用I/O。SPIスレーブデータ入力。 SPIマスターデータ出力。	12	16
D0-D7	I/O	双方向データバス。	N/A	12, 11, 10, 9, 8, 7, 6, 5
R/W	出力	外部メモリの読取り/書き込み制御出力。	N/A	37
[see original]				

ピン名称	種類	機能	PL 3120-E4T10 38 TSSOPピン番号	PL 3150-L10 64 LQFPピン番号
E[see original]	出力	外部メモリのクロック制御のEnable（有効）出力。	N/A	17
A0-A15	出力	メモリアドレス出力ポート。	N/A	38, 39, 40, 41, 42, 43, 44, 45, 57, 58, 60, 59, 53, 56, 55, 54
V _{DD5}	電源	電源入力（公称5V）。全てのV _{DD5} ピンは外部でまとめて接続されている必要があります。	13, 27, 37	18, 32, 51
V _{DD5A}	電源	電源入力（公称5V）。内蔵アナログ回路用の電源。	19	24
GND	電源	電源入力（0V、GND）。全てのGNDピンは外部でまとめて接続されている必要があります。	1, 23, 28, 38	28, 33, 52, 61
ICTMode	デジタル入力	インサーキットテスト用モードコントロール。ICT ModeをHIGHに、RESET [see original] をLOWに駆動すると、インサーキットテスト用に全ての出力が高インピーダンスになります。通常動作ではGNDに接続してください。	32	46
PKD	デジタル出力	パケット検出LEDを駆動	21	26
BIU	デジタル出力	band-in-use LEDを駆動。	22	27
RXIN	アナログ入力	レシーバ入力。	15	20
INTIN,INTOUT	アナログI/O	積分器入出力。	17, 18	22, 23
RXC	アナログ入力	受信信号。	16	21
OOGAS	アナログ入力	蓄電式電源がパケット送信に十分な電力をもっていないことを検出するコンパレータ。使用しない場合はVCOREに接続してください。	14	19
VCORE	電源	内部1.8Vレギュレータの出力。0.1μFの外部コンデンサが必要です。	20	25
TXON	デジタル出力	送信中にHIGHになります。パケット送信を示すLEDの駆動に使用されます。	31	36
TXDAC	アナログ出力	送信波形DAC出力。	26	31
TXSENSE	アナログ入力	送信アンプのセンスフィードバック。	25	30
TXBIAS	アナログ出力	送信アンプのバイアス発生器。	24	29

推奨動作条件

記号	パラメータ	最小値	標準値	最大値	単位
V _{DD5}	V _{DD5} 電源電圧	4.75	5.00	5.25	V
V _{DD5A}	V _{DD5A} 電源電圧	4.60	5.00	5.25	V
T _A	周囲温度	-40	25	85	°C
F _{A-band}	Aバンド動作のXIN周波数 (6.5536MHz ±200ppm)	6.5523	6.5536	6.5549	MHz
F _{C-band}	Cバンド動作のXIN周波数 (10.0000MHz ±200ppm)	9.9980	10.0000	10.0020	MHz

電気的特性（推奨動作条件全域）

記号	パラメータ	最小値	標準値	最大値	単位
V _{IL}	デジタル入力低レベル電圧			0.8	V
V _{IH}	デジタル入力高レベル電圧	2.0			V
V _{OL}	デジタル出力低レベル電圧				V
	I _{out} <20μA			0.1	
	IO4-IO11, A0-A14, D0-D7, R/W[see original], E[see original] (I _{OL} = 1.4mA)			0.4	
	IO0-IO3, SERVICE[see original], RESET[see original] (I _{OH} = 20mA)			0.8	
	IO0-IO3, SERVICE[see original], RESET[see original] (I _{OH} = 10mA)			0.4	
	PKD, BIU, TXON (I _{OL} = 12mA)			0.5	
V _{OH}	デジタル出力高レベル電圧				V
	I _{out} <20μA				
	IO4-IO11, A0-A14, D0-D7, R/W, E (I _{OH} = -1.4mA)	V _{DD5} -0.1			
	IO0-IO3, SERVICE[see original], RESET[see original] (I _{OH} = -1.4mA)	V _{DD5} -0.5			
	PKD, BIU, TXON (I _{OH} = -12mA)	V _{DD5} -0.4			
		V _{DD5} -0.5			
V _{hys}	デジタル入力ヒステリシス	175			mV
I _{in}	入力電流（プルアップを除く） ²	-10		10	μA

注記：

² IO4～IO7とSERVICE[see original]ピンは設定可能なプルアップを備えています。RESET[see original]ピンは恒久的なプルアップを備えています。

記号	パラメータ	最小値	標準値	最大値	単位
I_{pu}	プリアップソース電流 ($V_{out} = 0, Output = High-Z$) ²	30		300	μA
I_{DD}	PL 3120電力線スマートトランシーバの $V_{DD5} + V_{DD5A}$ 電源電流 (I/Oと内部プリアップ電流を除く)		9	13	mA
I_{DD}	PL 3150電力線スマートトランシーバの $V_{DD5} + V_{DD5A}$ 電源電流 (I/Oと内部プリアップ電流を除く)		12	16	mA
V_{LVI}	V_{DD5} LVIトリップポイント	4.0		4.45	V

外部メモリアンターフェースのタイミングミ PL 3150電力線スマートトランシーバ (推奨動作条件全域)

測定の詳細については図1~6を参照

パラメータ	説明	最小値	最大値	単位
t_{cyc}	メモリサイクル時間 (入力クロック10MHz, +/- 200ppm)	199.96	200.04	ns
t_{cyc}	メモリサイクル時間 (入力クロック6.5536MHz, +/- 200ppm)	305.12	305.79	ns
PW_{EH}	パルス幅, E[see original] HIGH ³	$t_{cyc}/2-5$	$t_{cyc}/2+5$	ns
PW_{EL}	パルス幅, E[see original] LOW	$t_{cyc}/2-5$	$t_{cyc}/2+5$	ns
t_{AD}	遅延, E[see original] HIGHからアドレス有効まで		40	ns
t_{AH}	E[see original] HIGH後のアドレスホールド時間	10		ns
t_{RD}	遅延, E[see original] HIGHからR/W[see original]有効読取りまで		40	ns
t_{RH}	E[see original] HIGH後の読取りR/W[see original]ホールド時間	10		ns
t_{WR}	遅延, E[see original] HIGHからR/W[see original]有効書込みまで		40	ns
t_{WH}	E[see original] HIGH後の書込みR/W[see original]ホールド時間	10		ns
t_{DSR}	データ読取りセットアップ時間からE[see original] HIGHまで	20		ns
t_{DHR}	E[see original] HIGH後の読取りデータホールド時間	0		ns
t_{DHW}	E[see original] HIGH後の書込みデータホールド時間 ⁴	10		ns
t_{DDW}	遅延, E[see original] LOWからデータ有効まで		15	ns
t_{acc} ⁵	入力クロック10MHzでの外部読取りアクセス時間 ($t_{acc} = t_{cyc} - t_{AD} - t_{DSR}$)		140	ns

電力線スマートトランシーバのディスクリートインターフェース回路の推奨動作条件¹

記号	パラメータ	最小値	標準値	最大値	単位
V_{ARX}	V_A 電源電圧 - 受信モード ⁶	8.5	12.0	18.0	V
V_{ATX}	V_A 電源電圧 - 送信モード ⁶	10.8	12.0	18.0	V
T_A	周囲温度	-40	25	85	°C

電力線スマートトランシーバのディスクリートインターフェース回路の電気的特性¹ (推奨動作条件全域)

記号	パラメータ	最小値	標準値	最大値	単位
I_{ARX}	V_A 消費電流 - 受信モード		350	500	μA
I_{ATX}	V_A 消費電流 - 送信モード		120	250	mA
V_{OTX}	送信出力電圧		7		V _{p-p}
I_{TXLIM}	送信出力電流リミット		1.0		A _{p-p}
Z_{INRX}	入力インピーダンス - 受信モード (推奨RXCOMPインダクタ使用時)		500		Ω
Z_{OTX}	出力インピーダンス - 送信モード		0.9		Ω
V_{PMU}	電源管理 - 上側 V_A しきい値	11.2	12.1	13.0	V
V_{PML}	電源管理 - 下側 V_A しきい値	7.3	7.9	8.6	V

注記:

³ $t_{cyc} = 2/f$ 。ここで、fは入力クロック (XIN) の周波数 (10または6.5536MHz)。

⁴ データホールドパラメータ t_{DHW} は従来のデータ無効レベルに対してではなく、図6に示すDisableレベルに対して測定されています。

⁵ このパラメータは、アドレスからデータまでのメモリ読取りアクセス時間のみを考慮したもので、チップEnableデコードを考慮に入れていません。メモリデコードタイミング解析例は「Neuron 3150 Chip External Memory Interface Engineering Bulletin (005-0013-01D)」を参照してください。

⁶ 条件によっては、最小値として8.5Vが可能です (詳細は「Data Book」を参照)。

最大値は常に次の条件を満たす必要があります。 $V_{ATXAVE} < (150 - T_{AMAX}) / (8 * D_{MAX})$

V_{ATXAVE} = 送信中の平均 V_A 電源電圧

T_{AMAX} = 最大周囲温度 (°C)

D_{MAX} = デバイスの最大送信デューティサイクル (10進法表現)

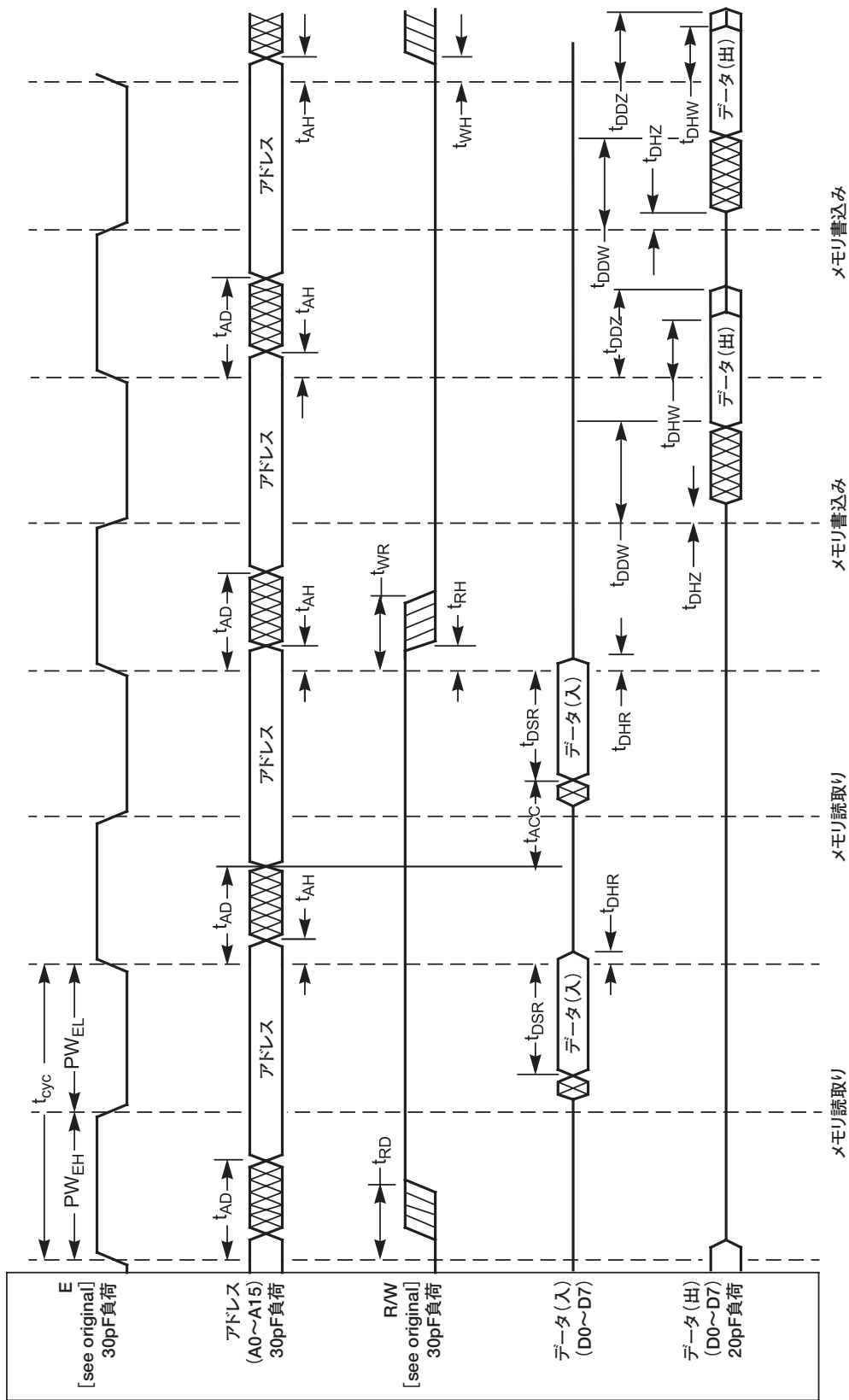
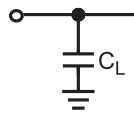


図1 外部メモリアンターフェースのタイミング図

テスト信号



$C_L = 30 \text{ pF}$ for \bar{E} , A, \bar{R}/\bar{W} ; 20 pF for D

図2 タイミング仕様値での（前提となる）信号負荷

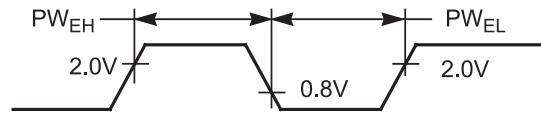


図3 E[see original]パルス幅測定用のテストポイントレベル

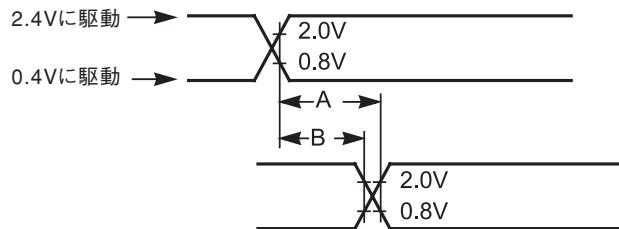


図4 タイミング仕様値での駆動レベルおよびテストポイントレベル（特に指定されていない場合）

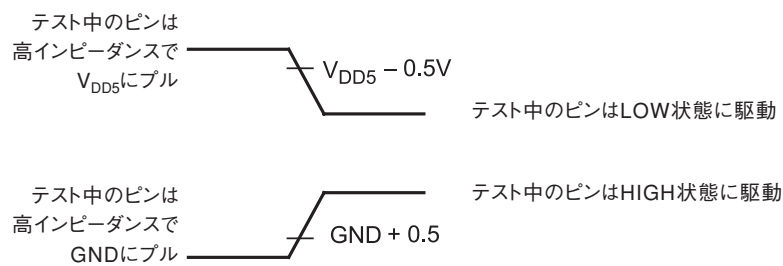
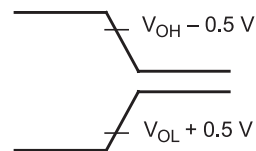


図5 高インピーダンスから駆動状態への時間測定用のテストポイントレベル



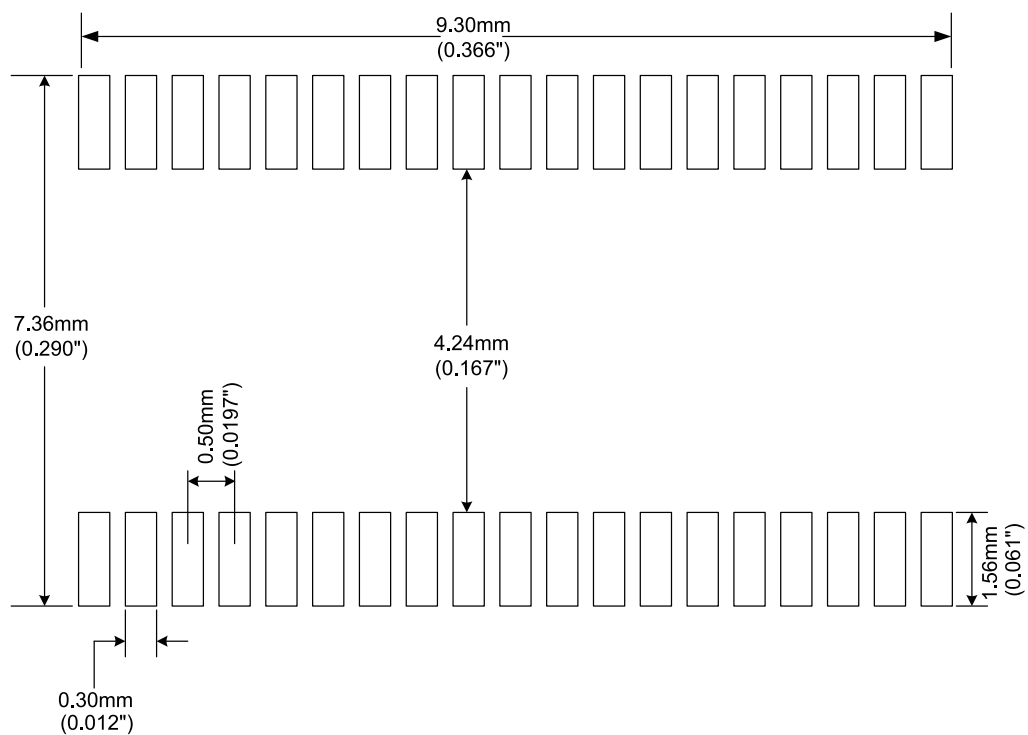
V_{OH} : 測定されたHIGH出力駆動レベル
 V_{OL} : 測定されたLOW出力駆動レベル

図6 駆動状態から高インピーダンスへの時間測定用のテストポイントレベル

絶対最大定格⁷

周囲動作温度	-40～85℃
保管温度	-55～125℃
GNDを基準としたV _{DD5} およびV _{DD5A} 電圧	-0.3～6.0V
GNDを基準とした各ピンの電圧 ⁸	-0.3～(V _{DD5} +0.3V)
TXBIAS、TXSENSE、OOGASピンの電圧	-0.3～1.89V
GNDを基準としたV _{CORE} ピンの最大電圧	1.89V
ピン当たりのV _{DD5} 、V _{DD5A} 、またはGND電流	±50mA
入力クランプ電流I _{IK} ⁸ (V _I <0またはV _I >V _{DD5})	±10mA
出力クランプ電流I _{IK} ⁸ (V _I <0またはV _I >V _{DD5})	±10mA
ピン当たりの出力電流 ⁸	±25mA
消費電力	250mW
リフローハンダ付けの予熱温度	2℃/s
リフローハンダ付けの温度	260℃

PL 3120電力線スマートトランシーバの推奨パッドレイアウト (38ピンTSSOP)

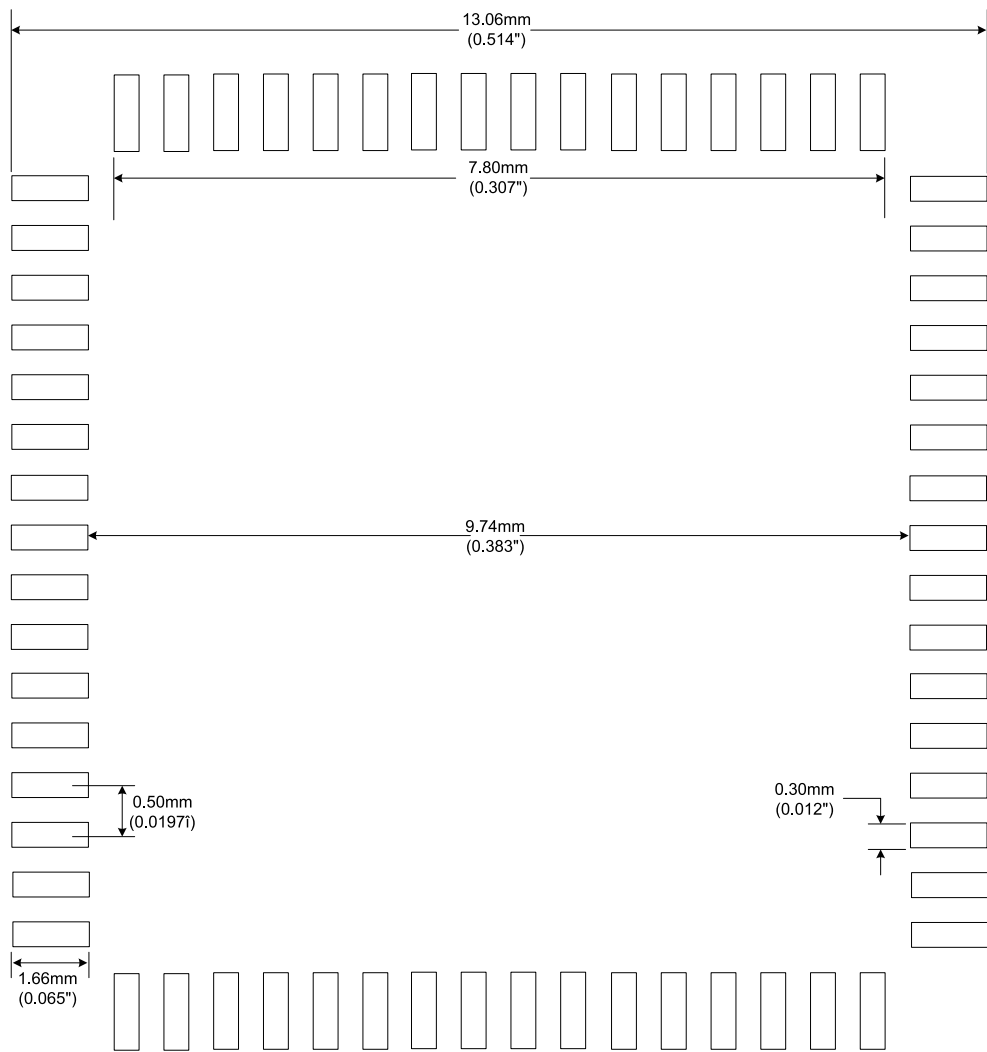


注記：

⁷ 絶対最大定格を超えるストレスがかかるとデバイスが恒久的に損傷する恐れがあります。これらの条件では有効な動作は保証されません。

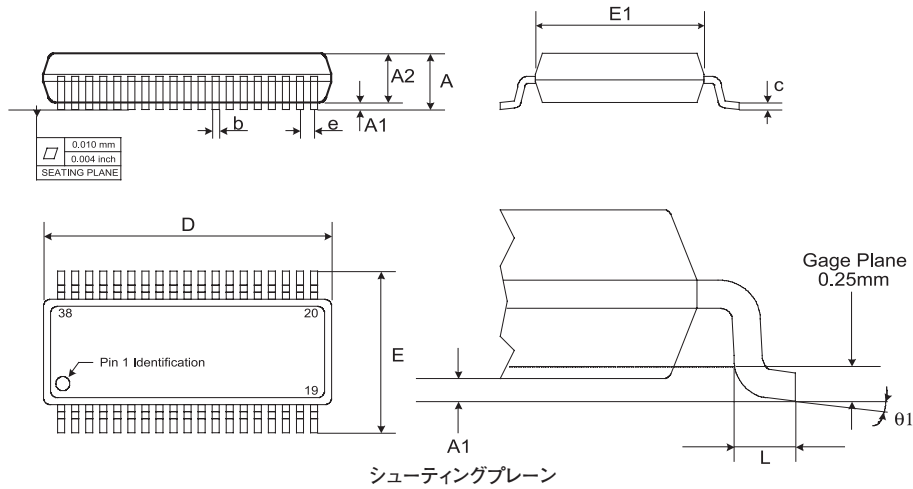
⁸ V_{DD5}、V_{DD5A}、V_{CORE}、TXBIAS、TXSENSEおよびOOGAS以外の全てのピンに適用されます。

PL 3150電力線スマートトランシーバの推奨パッドレイアウト (64ピンLQFP)



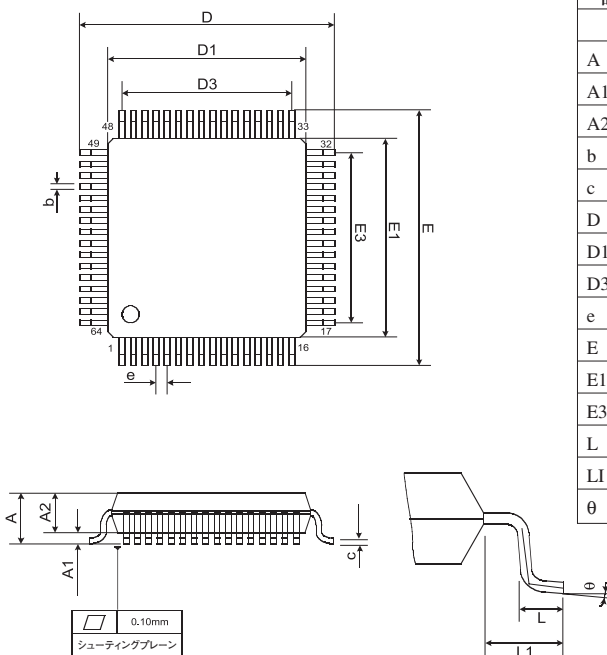
PL 3120-E4T10電力線スマートトランシーバのパッケージ図

38ピンTSSOP



記号	mm (主な寸法)			インチ		
	最小値	公称値	最大値	最小値	公称値	最大値
A	-	-	1.20	-	-	0.047
A1	0.05	-	0.15	0.002	-	0.006
A2	0.80	1.00	1.05	0.031	0.039	0.041
b	0.17	-	0.27	0.0067	-	0.011
c	0.09	-	0.20	0.0035	-	0.0079
D	9.60	9.70	9.80	0.378	0.381	0.385
E	6.40 BSC			0.252 BSC		
e	0.50 BSC			0.0197 BSC		
E1	4.30	4.40	4.50	0.169	0.173	0.177
L	0.45	0.60	0.75	0.0177	0.023	0.030
θ1	0°	-	8°	0°	-	8°

PL 3150-L10電力線スマートトランシーバのパッケージ図

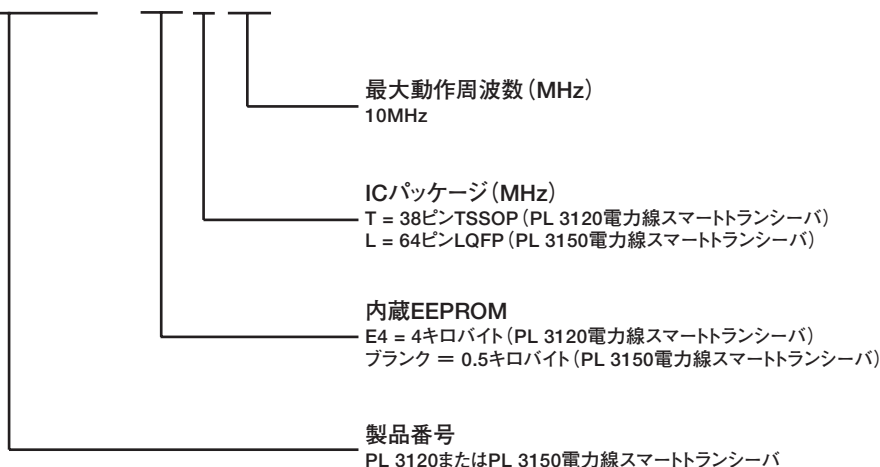


記号	mm (主な寸法)			インチ		
	最小値	公称値	最大値	最小値	公称値	最大値
A	-	-	1.60	-	-	0.063
A1	0.05	-	0.15	0.002	-	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
c	0.09	0.16	0.20	0.0035	0.0063	0.0079
D	12.00 BSC			0.472 BSC		
D1	10.00 BSC			0.394 BSC		
D3	7.50 BSC			0.295 BSC		
e	0.50 BSC			0.0197 BSC		
E	12.00 BSC			0.472 BSC		
E1	10.00 BSC			0.394 BSC		
E3	7.50 BSC			0.295 BSC		
L	0.45	0.6	0.75	0.0177	0.0236	0.0295
L1	1.00 REF			0.0394 REF		
θ	0°	3.5°	7°	0°	3.5°	7°

オーダー情報

電力線スマートトランシーバ IC 製品番号	モデル番号	最大入力 クロック	EEPROM	RAM	ROM	外部メモリ インターフェース	IC パッケージ	開発サポートキット (DSK) モデル番号
PL 3120-E4T10	15311R-1000	10MHz	4キロバイト	2キロバイト	24キロバイト	No	38 TSSOP	17050-20-271 17050-20-272 17060-20-272
PL 3150-L10	15321R-960	10MHz	0.5キロバイト	2キロバイト	N/A	Yes	64 LQFP	17050-20-271 17050-20-272 17060-20-272

PL 3120 - E4T10



参考資料

『PL 3120 and PL 3150 Power Line Smart Transceiver Data Book』は、エシェロン社のホームページからダウンロード、日本語版は<http://www.echelon.co.jp/support/downloads.html>よりダウンロード可能です。

文書名	Echelon Part Number
PL 3120 and PL 3150 Power Line Smart Transceiver Data Book	005-0154-01

■ お問い合わせ先：

エシェロン・ジャパン株式会社

〒105-0001 東京都港区虎ノ門5-11-2 オランダヒルズ森タワー18F 電話(03)5733-3320 FAX(03)5733-3321 www.echelon.co.jp

版權 © 2003, Echelon Corporation. Echelon, LON, LonWorks, LonMark, LonBuilder, NodeBuilder, LonManager, LonTalk, LonUsers, LonPoint, Digital Home, Neuron, 3120, 3150, LNS, iLON, LonWorld, ShortStack, EchelonロゴおよびLonUsersロゴは、米国およびその他の国におけるEchelon社の登録商標です。LonLink, LonResponse, LonSupport, LONews, LonMaker, Panoramix, Open Systems Alliance, LNS Powered by Echelon, Panoramix Powered by EchelonおよびLonWorks Powered by Echelonは、エシェロン社の商標です。その他の商標はそれぞれの保有者に属します。

免責事項

Neuronチップ、スマートトランシーバ、およびその他のOEM製品は、人体の健康や安全に対する危害または物損を招くおそれのある機器やシステムでの使用を目的に設計されたものではありません。Neuronチップまたはスマートトランシーバをそのような機器あるいはシステムに対して使用することについて、エシェロン社は一切の責任を負いません。製品の市販性または特定目的の適合性に関しては、明示もしくは黙示の如何に拘わらず、また書面もしくはその他のいかなる手段によるものにも拘わらず、エシェロン社はお客様にいかなる保証もなすことはありません。 003-0378-01D